

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 9月26日

出 願 番 号

Application Number:

特願2001-294702

出 願 人

Applicant(s):

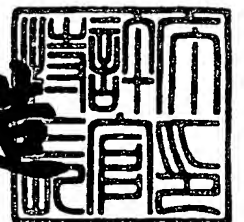
セイコーエプソン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月26日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3103977

【書類名】 特許願

【整理番号】 J0086028

【提出日】 平成13年 9月26日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 伊藤 昭彦

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100095728

 【弁理士】

 【氏名又は名称】 上柳 雅誉

 【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

 【識別番号】 100107076

 【弁理士】

 【氏名又は名称】 藤綱 英吉

【選任した代理人】

 【識別番号】 100107261

 【弁理士】

 【氏名又は名称】 須澤 修

【先の出願に基づく優先権主張】

 【出願番号】 特願2001- 67646

 【出願日】 平成13年 3月 9日

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気光学素子の駆動方法、駆動装置及び電子機器

【特許請求の範囲】

【請求項 1】 電気光学素子がフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動方法であって、

前記階調データに対応する期間を確保するために用いる相互に連続する複数の第 1 のサブフィールド期間、及び該複数の第 1 のサブフィールド期間に連続し、それぞれが前記複数の第 1 のサブフィールド期間及び他の一の第 1 のサブフィールド期間の合計期間の長さに実質的に相当する、相互に連続する複数の第 2 のサブフィールド期間を、前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間の境界に接して位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間から前記境界から最も離れて位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間の方向に前記階調データに従って順次選択する選択ステップと、

選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動ステップとを含むことを特徴とする電気光学素子の駆動方法。

【請求項 2】 前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間は、同一のフレーム期間に含まれることを特徴とする請求項 1 記載の電気光学素子の駆動方法。

【請求項 3】 前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間の一部のサブフィールド期間は、連続する 2 つのフレーム期間のうちの一方のフレーム期間に含まれ、他部のサブフィールド期間は、他方のフレーム期間に含まれることを特徴とする請求項 1 記載の電気光学素子の駆動方法。

【請求項 4】 前記一部のサブフィールド期間は、前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間のうちの一方のサブフィールド期間であり、前記他部のサブフィールド期間は、他方のサブフィールド期間であることを特徴とする請求項 3 記載の電気光学素子の駆動方法。

【請求項 5】 前記駆動ステップは、前記階調データに拘わらず、前記境界に接

して位置する前記第 1 のサブフィールド期間の間、前記電気光学素子をオンにすることを特徴とする請求項 1 記載の電気光学素子の駆動方法。

【請求項 6】 前記選択ステップは、前記階調データが零を表すとき、前記境界に接して位置する前記第 1 のサブフィールド期間の間、前記電気光学素子をオフにすることを特徴とする請求項 5 記載の電気光学素子の駆動方法。

【請求項 7】 上記階調データは、2 の N 乗の種類を有する前記階調を規定するための N 個のビット (N は、2 以上の整数) からなり、

前記 N 個のビットのうちの上位側 M 個のビットは、前記複数の第 2 のサブフィールド期間が表示すべき階調を規定し、

前記 N 個のビットのうちの下位側 ($N - M$) 個のビットは、前記複数の第 1 のサブフィールド期間が表示すべき階調を規定し、

前記 M は、前記フレーム期間が $(2^{N-M} - 1)$ 個の第 1 のサブフィールド期間を含むことを想定したときに与えられる M の最適解であることを特徴とする請求項 1 記載の電気光学素子の駆動方法。

【請求項 8】 上記階調データは、2 の N 乗の種類を有する前記階調を規定するための N 個のビット (N は、2 以上の整数) からなり、

前記各第 2 のサブフィールド期間の長さは、前記 N 個のビットに含まれる上位側 M 個のビットのうちの最下位ビットが規定する階調を表すための期間の長さに相当し、

前記複数の第 2 のサブフィールド期間の個数は、前記 M 個のビットにより表される最大の数に相当し、

前記各第 1 のサブフィールド期間の長さは、前記 N 個のビットに含まれる下位側 ($N - M$) 個のビットのうちの最下位ビットが規定する階調を表すための期間の長さに相当し、

前記複数の第 1 のサブフィールド期間の個数は、前記 ($N - M$) 個のビットにより表される最大の数に相当することを特徴とする請求項 1 記載の電気光学素子の駆動方法。

【請求項 9】 電気光学素子が複数のフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることによ

り、前記電気光学素子に前記階調を表示させる電気光学素子の駆動方法であって

前記複数のフレーム期間を構成する各フレーム期間に含まれる、前記階調データに対応する期間を特定するために用いる相互に連続する複数の第1のサブフィールド期間、及び該複数の第1のサブフィールド期間に連続し、それぞれが前記複数のフレーム期間に含まれる全ての第1のサブフィールド期間及び他の一の第1のサブフィールド期間の合計期間の長さに実質的に相当する、相互に連続する複数の第2のサブフィールド期間を、前記各フレーム期間毎に、前記複数の第1のサブフィールド期間及び前記複数の第2のサブフィールド期間の境界に接して位置する第1のサブフィールド期間及び第2のサブフィールド期間から前記境界から最も離れて位置する第1のサブフィールド期間及び第2のサブフィールド期間の方向に前記階調データに従って順次選択する選択ステップと、

前記各フレーム期間毎に、選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動ステップと、
を含むことを特徴とする電気光学素子の駆動方法。

【請求項10】 前記選択ステップは、前記各フレーム期間毎に選択すべき第1のサブフィールド期間の個数を、前記階調データのうち前記複数のフレーム期間に含まれる前記複数の第1のサブフィールド期間を通じて表示すべき階調を規定する階調データ部分に従って決定することを特徴とする請求項9記載の電気光学素子の駆動方法。

【請求項11】 前記選択ステップは、前記複数のフレーム期間を通じて表示すべき前記階調と、前記各フレーム期間に前記複数の第1のサブフィールド期間及び前記複数の第2のサブフィールド期間のうちの選択すべきサブフィールド期間の位置との対応関係を規定する表に従って、選択することを特徴とする請求項9記載の電気光学素子の駆動方法。

【請求項12】 上記階調データは、2のN乗の種類を有する前記階調を規定するためのN個のビット（Nは、2以上の整数）からなり、

前記N個のビットのうちの上位側M個のビットは、前記複数の第2のサブフィールド期間が表示すべき階調を規定し、

前記N個のビットのうちの低位側(N-M)個のビットは、前記複数の第1のサブフィールド期間が表示すべき階調を規定し、

前記Mは、前記フレーム期間が $(2^{N-M}-1)/F$ 個(Fは、前記複数のフレームの数を表す)の第1のサブフィールド期間を含むことを想定したときに与えられるMの最適解であることを特徴とする請求項9記載の電気光学素子の駆動方法。

【請求項13】 前記 $(2^{N-M}-1)/F$ が余りを生じるときには、前記第1のサブフィールド期間の数として、前記 $(2^{N-M}-1)/F$ の商に1を加算した数を用いることを特徴とする請求項12記載の電気光学素子の駆動方法。

【請求項14】 電気光学素子がフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動装置であって、

前記階調データに対応する期間を特定するために用いる相互に連続する複数の第1のサブフィールド期間、及び該複数の第1のサブフィールド期間に連続し、それぞれが前記複数の第1のサブフィールド期間及び他の一の第1のサブフィールド期間の合計期間の長さに実質的に相当する、相互に連続する複数の第2のサブフィールド期間を、前記複数の第1のサブフィールド期間及び前記複数の第2のサブフィールド期間の境界に接して位置する第1のサブフィールド期間及び第2のサブフィールド期間から前記境界から最も離れて位置する第1のサブフィールド期間及び第2のサブフィールド期間の方向に前記階調データに従って選択する選択回路と、

選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動回路とを含むことを特徴とする電気光学素子の駆動装置。

【請求項15】 電気光学素子が複数のフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動装置であって、

各フレーム期間に含まれる、前記階調データに対応する期間を特定するために用いる相互に連続する複数の第1のサブフィールド期間、及び該複数の第1のサ

ブフィールド期間に連続し、それぞれが前記複数のフレーム期間に含まれる全ての第1のサブフィールド期間及び他の一の第1のサブフィールド期間の合計期間の長さを実質的に相当する、相互に連続する複数の第2のサブフィールド期間を、前記各フレーム期間毎に、前記複数の第1のサブフィールド期間及び前記複数の第2のサブフィールド期間の境界に接して位置する第1のサブフィールド期間及び第2のサブフィールド期間から前記境界から最も離れて位置する第1のサブフィールド期間及び第2のサブフィールド期間の方向に前記階調データに従って選択する選択回路と、

前記各フレーム期間毎に、選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動回路と、

を含むことを特徴とする電気光学素子の駆動装置。

【請求項16】 マトリクス状に配置された複数の電気光学素子を含み、電子機器に関連する画像を表示するための表示装置と、

請求項14記載の電気光学素子の駆動装置とを備えることを特徴とする電子機器。

【請求項17】 マトリクス状に配置された複数の電気光学素子を含み、電子機器に関連する画像を表示するための表示装置と、

請求項15記載の電気光学素子の駆動装置とを備えることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パルス幅変調を用いて、電気光学素子である画素を駆動する画素の駆動方法、駆動装置及び電子機器に関する。

【0002】

【従来の技術】

従来、マトリクス状に配置された複数の画素を、該画素を選択するための走査信号及び前記画素が表示すべき階調を規定するためのデータ信号を用いて駆動するという画素の駆動方法が用いられている。該画素の駆動方法のうち、表示画像

の画質を向上させる等のために、1フレーム内に設けられている複数の期間（以下、「サブフィールド」という。）の各期間に、前記データ信号の印加を全ての画素について行うというサブフィールド駆動が提案されている。該サブフィールド駆動によれば、前記各サブフィールドで、各画素に前記データ信号としてオン（例えば、白）を表すための電圧（例えば、ハイパルス）及びオフ（例えば、黒）を表すための電圧の2つの電圧（ローパルス）のうちのいずれかを印加し、これにより、1フレーム内で各画素に前記データ信号によりパルス幅変調を施し、その結果として、前記画素に、例えば64階調のうちの一つの階調を表示させることができる。

【0003】

【発明が解決しようとする課題】

【0004】

しかしながら、従来の 2^N 階調で N 個のサブフィールドで駆動するような場合、前記フレームに含まれる前記複数のサブフィールドの中から、前記オンの電圧を印加すべきサブフィールドが何ら規則性無く選択されることから、例えば、本来同一階調を表示しなければならないにも拘わらず、選択された前記サブフィールド同士的位置関係の無規則性に起因して、異なる階調を表示するという問題があった。

【0005】

図32は、従来のサブフィールドの選択を示す。図32に示すように、1フレーム内でオンのためのハイパルスが連続しないAのデータ信号の波形と、ハイパルスが連続するBのデータ信号の波形とを比較すると、ハイパルスの長さの合計がAとBとで同じであるにも拘らず、Aのデータ信号の波形により表示される階調が、Bのデータ信号の波形により表示される階調より高い、即ち、明るいという問題があった。

【0006】

また、 2^N 階調で $(2^N - 1)$ 個のサブフィールドで駆動するような場合、サブフィールド数が多く、1フレーム期間に画素に電圧を書き込む回数が増加し、消費電力が増える。

さらに、階調の数を増加させること、即ち、多階調化に伴い各サブフィールドの長さをより短くしなければならないことから、前記データ信号の印加を時間的な制約の下に行わなければならない、前記データ信号の印加を高精度に制御することが困難であるという問題もあった。

【 0 0 0 7 】

上記問題を解決するために、本発明の目的は、不規則に選択されるサブフィールドの位置に起因する階調の相違を回避することができる画素の駆動方法、駆動回路及び電子機器を提供することにある。

【 0 0 0 8 】

【課題を解決するための手段】

本発明に係る電気光学素子の駆動方法は、電気光学素子がフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動方法であって、前記階調データに対応する期間を確保するために用いる相互に連続する複数の第1のサブフィールド期間、及び該複数の第1のサブフィールド期間に連続し、それぞれが前記複数の第1のサブフィールド期間及び他の一の第1のサブフィールド期間の合計期間の長さに実質的に相当する、相互に連続する複数の第2のサブフィールド期間を、前記複数の第1のサブフィールド期間及び前記複数の第2のサブフィールド期間の境界に接して位置する第1のサブフィールド期間及び第2のサブフィールド期間から前記境界から最も離れて位置する第1のサブフィールド期間及び第2のサブフィールド期間の方向に前記階調データに従って順次選択する選択ステップと、選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動ステップとを含むことを特徴とする。

【 0 0 0 9 】

本発明に係る他の電気光学素子の駆動方法は、電気光学素子が複数のフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動方法であって、前記複数のフレーム期間を構成する各フレ

ム期間に含まれる、前記階調データに対応する期間を特定するために用いる相互に連続する複数の第 1 のサブフィールド期間、及び該複数の第 1 のサブフィールド期間に連続し、それぞれが前記複数のフレーム期間に含まれる全ての前記複数の第 1 のサブフィールド期間及び他の一の第 1 のサブフィールド期間の合計期間の長さに実質的に相当する、相互に連続する複数の第 2 のサブフィールド期間を、前記各フレーム期間毎に、前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間の境界に接して位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間から前記境界から最も離れて位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間の方向に前記階調データに従って順次選択する選択ステップと、前記各フレーム期間毎に、選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動ステップと、を含むことを特徴とする。

【 0 0 1 0 】

本発明に係る電気光学素子の駆動装置は、電気光学素子がフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動装置であって、前記階調データに対応する期間を特定するために用いる相互に連続する複数の第 1 のサブフィールド期間、及び該複数の第 1 のサブフィールド期間に連続し、それぞれが前記複数の第 1 のサブフィールド期間及び他の一の第 1 のサブフィールド期間の合計期間の長さに実質的に相当する、相互に連続する複数の第 2 のサブフィールド期間を、前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間の境界に接して位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間から前記境界から最も離れて位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間の方向に前記階調データに従って選択する選択回路と、選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動回路とを含むことを特徴とする。

【 0 0 1 1 】

本発明に係る他の電気光学素子の駆動装置は、電気光学素子が複数のフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電

気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動装置であって、各フレーム期間に含まれる、前記階調データに対応する期間を特定するために用いる相互に連続する複数の第1のサブフィールド期間、及び該複数の第1のサブフィールド期間に連続し、それぞれが前記複数のフレーム期間に含まれる全ての第1のサブフィールド期間及び他の一の第1のサブフィールド期間の合計期間の長さに実質的に相当する、相互に連続する複数の第2のサブフィールド期間を、前記各フレーム期間毎に、前記複数の第1のサブフィールド期間及び前記複数の第2のサブフィールド期間の境界に接して位置する第1のサブフィールド期間及び第2のサブフィールド期間から前記境界から最も離れて位置する第1のサブフィールド期間及び第2のサブフィールド期間の方向に前記階調データに従って選択する選択回路と、前記各フレーム期間毎に、選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動回路と、を含むことを特徴とする。

【 0 0 1 2 】

本発明に係る電子機器は、マトリクス状に配置された複数の電気光学素子を含み、電子機器に関連する画像を表示するための表示装置と、上記電気光学素子の駆動装置のいずれかとを備えることを特徴とする。

【 0 0 1 3 】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照して説明する。

〔第1の実施の形態〕

本発明に係る画素の駆動方法であるサブフィールド駆動方法を用いた電気光学装置について説明する。

図1は、第1の実施の形態の電気光学装置の構成を示す。該電気光学装置は、素子基板及び対抗基板間に複数の画素をマトリクス状に備えており、1フレーム、即ち1フレームの期間に、行方向(X)に並ぶ所定数の画素を同時に選択することを垂直方向に順次行う、即ち、線順次を行うと共に、階調を規定するための信号、即ち、0又は±Vを画素に印加することにより、各画素に前記階調を表示させる。より詳しくは、前記電気光学装置は、例えば、一の行に配列された所定

数の画素を、1フレームを構成する複数のサブフィールドの各サブフィールド毎に選択する。いずれのサブフィールドで前記画素に電圧を印加するかにより、1フレーム内で前記画素にパルス幅変調を施す。これにより、前記画素に印加する電圧実効値を変え、前記画素に1フレーム間に階調を表示させることができる。以下、 $\pm V$ を印加することを”オン”といい、0を印加することを”オフ”という。なお、液晶は交流駆動を必要とすることから、 $+V$ の印加と $-V$ の印加とは、階調の観点からは実質的に同義である。

【0014】

図10は、サブフィールドを示す。1フレーム(1F)は、図10に示されるように、サブフィールドSF1～SF7から構成されている。サブフィールドSF1～SF3の長さの重み付けは小さく設定されており、他方、サブフィールドSF5～SF7の長さの重み付けは、大きく設定されている。例えば、電気光学装置に供給される、画素が表示すべき階調を規定する階調データが4ビットにより16階調を定めることを想定すると、サブフィールドSF1～SF3の長さは、「1」階調に相当し、他方、サブフィールドSF5～SF7の長さは、「4」階調に相当する。即ち、サブフィールドSF5～SF7の長さは、3つのサブフィールドSF1～SF3の合計の長さ、これらのうちの1つのサブフィールドの長さ、とを合計した長さに実質的に相当する。液晶の駆動に関する閾値電圧 V_{th} を与えるために、前記サブフィールドSF1～SF3及び前記サブフィールドSF5～SF7の間の設けられているサブフィールドSF4を、階調に拘らず常時オン状態にする。

【0015】

サブフィールドSF5～SF7のオン/オフ状態は、上記4ビットの階調データの上位2ビットにより定める。換言すれば、サブフィールドSF5～SF7は、前記上位2ビットに従って、サブフィールドSF5からサブフィールドSF7の方向に沿って順次選択される。例えば、上位2ビットが“00”のときは、サブフィールドSF5～SF7の全てをオフ状態にし、“01”のときは、サブフィールドSF5のみをオン状態にし、“10”のときは、サブフィールドSF5及びSF6をオン状態にし、“11”のときは、サブフィールドSF5～SF7

の全てをオン状態にする。

【0016】

サブフィールドSF1～SF3のオン／オフ状態は、上記4ビットの階調データの下位2ビットにより定める。換言すれば、サブフィールドSF1～SF3は、前記下位2ビットに従って、サブフィールドSF3からサブフィールドSF1の方向に沿って順次選択される。例えば、下位2ビットが“00”のときは、サブフィールドSF1～SF3の全てをオフ状態にし、“01”のときは、サブフィールドSF3のみをオン状態にし、“10”のときは、サブフィールドSF2及びSF3をオン状態にし、“11”のときは、サブフィールドSF1～SF3の全てをオン状態にする。

【0017】

サブフィールドSF5～SF7及びサブフィールドSF1～SF3のオン／オフ状態についてより詳述すれば、例えば、階調データが「9」階調を規定する”1001”であるとき、図10に示されるように、サブフィールドSF5及びSF6をオン状態にし、かつサブフィールドSF3をオン状態にする。また、例えば、階調データが「14」階調を規定する”1110”であるとき、図10に示されるように、サブフィールドSF5～7の全てをオン状態にし、かつサブフィールドSF2及びSF3をオン状態にする。

【0018】

ここで、2のN乗（Nは、2以上の整数）の階調数の階調を規定するNビットの階調データを上位Mビット（Mは、Nより小さい正の整数）と下位（N-M）ビットとに分けることを想定すると、前記下位（N-M）ビットに対応する複数の第1のサブフィールドの個数、及び前記上位Mビットに対応する複数の前記第2のサブフィールドの個数は、それぞれ、 $(2^{N-M}-1)$ 個、 (2^M-1) 個であり、さらに、前記第1のサブフィールドの重み付けが α であることを想定すると、前記第2のサブフィールドの重み付けは、 $\alpha 2^{N-M}$ になる。

【0019】

上記したように、前記階調データに応じて、相互に連続する複数のサブフィールド（SF5～SF7）と、相互に連続する複数のサブフィールド（SF1～S

F 3) とを、実質的に相互に隣接するサブフィールド S F 5 及び S F 3 間の境界から、換言すれば、サブフィールド S F 4 からサブフィールド S F 1 またはサブフィールド S F 7 の方向に順番に選択することから、すなわち、上記サブフィールド S F 1 ~ S F 3、サブフィールド S F 5 ~ S F 7 を、フレーム期間の中央から外側へ順次選択する。したがって、階調データの値に拘わらず、オン状態にすべきサブフィールドを連続的に選択することができ、これにより、サブフィールドの非連続性に起因する階調の不具合の発生を回避することが可能になる。

【 0 0 2 0 】

また、上位ビットのサブフィールドと下位ビットのサブフィールドとの境界に常時オンとすべきサブフィールド S F 4 を設けることにより、上記の連続性を維持した上で、液晶の特性に応じた電圧実効値を液晶に印加することができることから、階調制御を的確に行なうことができる。

【 0 0 2 1 】

図 1 に戻り、電気光学装置は、図 1 に示されるように、表示部 1 0 1 a と、発振回路 1 5 0 と、タイミング信号生成回路 2 0 0 と、データ変換回路 3 0 0 と、走査線駆動回路 1 3 0 と、データ線駆動回路 1 4 0 とを含む。

【 0 0 2 2 】

表示部 1 0 1 a には、前記複数の画素 1 1 0 が m 行 × n 列に配置されており、該複数の画素 1 1 0 を選択するための走査線 1 1 2 が X (行) 方向に延在して形成され、他方、前記複数の画素 1 1 0 に前記階調を規定するデータ信号 1 1 4 が Y (列) 方向に延在して形成されている。

【 0 0 2 3 】

タイミング信号生成回路 2 0 0 には、上位装置 (図示せず) から供給される垂直同期信号 V s、水平同期信号 H s および入力階調データ D 0 ~ D 3 のドットクロック信号 D C L K、並びに発振回路 1 5 0 から供給される読み出しタイミングの基本クロック R C L K に基づき、図 1 に示されるような信号 L C O M、F R、D Y、C L Y、L P、及び C L X を生成する。

【 0 0 2 4 】

駆動信号 L C O M は、前記複数の画素 1 1 0 を駆動するために対向基板の対向

電極に印加される一定電位（零電位）である。交流化信号FRは、1フレーム毎に、液晶への印加電圧を極性反転するタイミングを指し示す。スタートパルスDYは、各サブフィールドSF1～SF7の位置を指し示す。クロック信号CLYは、走査側（Y側）の水平走査期間を規定するために用いられる。ラッチパルスLPは、水平走査期間（1H）を規定する。クロック信号CLXは、表示用のドットクロック信号である。

【0025】

データ変換回路300は、4ビットで16階調を規定する階調データD0～D3を供給される。ここで、例えば、D3は、最上位ビットであり、他方、D0は、最下位ビットである。データ変換回路300は、前記階調データD0～D3に基づきデータ信号Dsを生成し、該データ信号Dsをデータ線駆動回路140に出力する。

【0026】

走査線駆動回路130は、前記タイミング生成回路200から出力される信号DY及びCLYに基づき、表示部101aに含まれるm本の走査線112に、走査信号G1、G2、G3、・・・、G240をそれぞれ供給して、水平走査期間1Hの期間に前記m本の走査線112のそれぞれを複数回選択し、より具体的には、1フレームが図10に示す7個のサブフィールドから構成されているときには、1フレーム内で各走査線112を7回選択し、また、データ線駆動回路140は、選択された走査線112に係る1行分の画素110に対し、n本のデータ線114を介して、データ信号d1、d2、d3、・・・、d320をそれぞれ供給する。

【0027】

データ線駆動回路140は、前記タイミング生成回路200から出力される信号FR、LP及びCLX、並びに前記データ変換回路300から出力されるデータ信号Dsに基づき、前記表示部101aに設けられているn本のデータ線114にデータ信号d1、d2、・・・、dnを供給する。

【0028】

図2は、表示部に設けられている画素の構成を示す。図に示されるように、薄

膜トランジスタ (TFT) 116 のゲート、ソース及びドレインが前記走査線 112、前記データ線 114、及び画素電極 118 にそれぞれ接続されており、画素電極 118 と対向電極 108 との間に電気光学材料たる液晶 105 が挟持されている。画素電極 118 と対向電極 108 との間には電荷を保持するための蓄積容量 119 が形成されている。

【0029】

画素電極 118 への印加電圧及びデータ線 114 への印加電圧間のオフセット電圧を軽減するためには、図 2 (a) に示された構成の画素より、図 2 (b) に示された、Pチャネル型トランジスタとNチャネル型トランジスタとを相補的に組み合わせた構成の画素が望ましい。図 2 (a) に示すように、一方のチャンネル型のトランジスタが用いられている場合は、オフセット電圧が必要になる。

【0030】

図 3 (a)、(b) は、電気光学装置の構造を示す。該電気光学装置 100 は、図 1 に示された構成要素に加えて、例えば、シール材 104、遮光膜 106、偏光板、配向膜及びカラーフィルタを備えている。

【0031】

図 4 は、データ線駆動回路の構成を示す。図 1 に示したデータ線駆動回路 140 は、図 4 に示されるように、Xシフトレジスタ 1402 と、第 1 のラッチ回路 1404 と、第 2 のラッチ回路 1406 と、電位選択回路 1408 とから構成されている。

Xシフトレジスタ 1402 は、タイミング生成回路 200 から供給されるラッチパルス LP を、前記タイミング生成回路 200 から供給されるクロック信号 CLX に従ってラッチ信号 S1、S2、S3、・・・、Sn として第 1 のラッチ回路 1404 に順次供給する。

【0032】

第 1 のラッチ回路 1404 は、データ変換回路 300 から出力される前記データ信号 Ds を、前記ラッチ信号 S1、S2、S3、・・・、Sn の立ち下がり で順次ラッチする。第 2 のラッチ回路 1406 は、第 1 のラッチ回路 1404 によりラッチされた前記データ信号 Ds を前記ラッチパルス LP の立ち下がり で一

齊にラッチし、電位選択回路 1 4 0 8 に転送する。

【 0 0 3 3 】

電位選択回路 1 4 0 8 は、タイミング生成回路 2 0 0 から出力される前記交流化信号 F R に基づき、前記ラッチしたデータ信号 D s をデータ信号 d 1、d 2、d 3、… d n に変換し、データ線 1 1 4 に印加する。すなわち、交流化信号 F R が L レベルであるときは、データ信号 d 1、d 2、d 3、… d n の H レベルを + V 1 に変換し、他方、交流化信号 F R が H レベルであるときには、データ信号 d 1、d 2、d 3、… d n の H レベルを - V 1 に変換する。交流化信号 F R が L であるか H であるかに拘わらず、データ信号 d 1、d 2、d 3、… d n の L レベルを 0 電位に変換する。

【 0 0 3 4 】

図 5 は、スタートパルス発生回路の構成を示し、また、図 6 は、スタートパルス発生回路の動作を示すタイムチャートである。スタートパルス発生回路 2 1 0 は、図 1 に示したタイミング生成回路 2 0 0 に設けられており、スタートパルス D Y を生成する。

【 0 0 3 5 】

スタートパルス発生回路 2 1 0 は、図 5 に示されるように、カウンタ 2 1 1、コンパレータ 2 1 2、マルチプレクサ 2 1 3、リングカウンタ 2 1 4、D フリップフロップ 2 1 5、およびオア回路 2 1 6 から構成されている。

カウンタ 2 1 1 は、クロック信号 C L Y に同期するラインクロック信号 L C L K をカウントし、そのカウント値は、オア回路 2 1 6 の出力信号によってリセットされる。

【 0 0 3 6 】

リングカウンタ 2 1 4 は、スタートパルス D Y の数をカウントし、マルチプレクサ 2 1 3 は、リングカウンタ 2 1 4 のカウント結果 S 2 1 4 に基づいて、サブフィールド S F 1 ~ S F 7 の時間を示す計数データ D c 1、D c 2、…、D c 7 を選択出力する。

コンパレータ 2 1 2 は、カウンタ 2 1 1 のカウント値 S 2 1 1 とマルチプレクサ 2 1 3 の出力データ値 S 2 1 3 とを比較し、両者が一致するとき、H レベルで

ある一致信号 S 2 1 2 を出力する。コンパレータ 2 1 2 は、カウンタ 2 1 1 のカウント値 S 2 1 1 が、サブフィールドの区切りに達すると一致信号 S 2 1 2 を出力する。該一致信号は、オア回路 2 1 6 を介してカウンタ 2 1 1 のリセット端子にフィードバックされることから、カウンタ 2 1 1 は、サブフィールドの区切りから再びカウントを開始する。

【 0 0 3 7 】

D フリップフロップ 2 1 5 は、オア回路 2 1 6 の出力信号を、ラインクロック信号 L C L K によってラッチして、スタートパルス D Y を生成する。

オア回路 2 1 6 の一方の入力端には、フレームの開始時に、ラインクロック信号 L C L K の 1 周期の期間だけ H レベルとなるリセット信号 R S E T が供給される。これにより、カウンタ 2 1 1 のカウント値は、フレームの開始時点にリセットされる。

【 0 0 3 8 】

一致信号 S 2 1 2 が立ち上がると、まず、ラインクロック信号 L C L K の立ち上がりタイミングで、スタートパルス D Y が立ち上がる。一方、前記ラインクロック信号 L C L K の立上りによって、カウント値 S 2 1 1 と出力データ値 S 2 1 3 とが一致しなくなることから、一致信号 S 2 1 2 は、L レベルになる。従って、次にラインクロック信号 L C L K が立ち上がったときに、該 L レベルである一致信号 S 2 1 2 が D フリップフロップ 2 1 5 にラッチされることから、スタートパルス D Y が L レベルになる。このようにして、各サブフィールドの最初にスタートパルス D Y が出力される。

【 0 0 3 9 】

図 7 は、データ変換回路の構成を示す。図 1 に示したデータ変換回路 3 0 0 は、書き込みアドレス制御部 3 1 0、デコーダ 3 1 2、複数のメモリブロック 3 2 1 ～ 3 2 7、表示アドレス制御部 3 3 0、及びオア回路 3 3 2 を含む。

デコーダ 3 1 2 は、階調データ D 0 ～ D 3 が入力されると、前記階調データ D 0 ～ D 3 を各サブフィールド S F 1 ～ S F 3、S F 5 ～ S F 7 のオン／オフ状態に対応するビットデータであるサブフィールドデータ S D 1 ～ S D 3、S D 5 ～ S D 7 に変換する。メモリブロック 3 2 1 ～ 3 2 7 は、各々サブフィールドデー

タSD1～SD3、SD5～SD7を記憶するために設けられており、素子基板101の表示領域(m行×n列)に対応して各々m×nビットのメモリ空間を有する。メモリブロック321～327は、書込みおよび読出し動作を非同期に、かつ独立して実行する。

【0040】

書込みアドレス制御部310は、垂直同期信号Vs、水平同期信号Hsおよびドットクロック信号DCLKに同期して、ライトイネーブル信号WEおよび書込みアドレスWADを各メモリブロックに供給する。すなわち、書込みアドレス制御部310は、ドットクロック信号DCLKをカウントアップし、このカウント結果を書込みアドレスWADとして出力するとともに、書込みアドレスWADの値が確定する毎にライトイネーブル信号WEを出力する。また、書込みアドレス制御部310のカウント結果は、垂直同期信号Vsが入力される毎にリセットされる。これにより、各メモリブロック321～327には、そのm×nビットのメモリ空間を順次アクセスする書込みアドレスWADが供給され、サブフィールドデータSD1～SD3、SD5～SD7は対応するメモリブロック内の表示位置に応じたアドレスに順次格納される。

【0041】

表示アドレス制御部330は、上記各サブフィールド期間が開始されると、対応する表示行のビットデータをアクセスするアドレス信号RADを出力する。アドレス信号RADは、クロック信号CLXに同期し表示列数に応じて「n-1」回インクリメントされる。これにより、対応する表示行に対して第1列～第n列のビットを順次アクセスするようなアドレス信号RADが出力される。

【0042】

読出し信号RD1～3、RD5～7は、各々対応するサブフィールドSF1～SF3、SF5～SF7の間中は常にイネーブル状態になり、それ以外のサブフィールド期間においてはオフ状態にされる。これにより、各サブフィールドSF1～SF3、SF5～SF7で、対応する一つのメモリブロックのみが読出し可能な状態になり、他のメモリブロックは読出し禁止状態になる。これにより、サブフィールドSF1が開始されると、メモリブロック321から、m行×n列

のサブフィールドデータSD1が順次読み出される。

【0043】

サブフィールドSF2、SF3においても、同様にメモリブロック322、323がアクセスされ、各々m行×n列のサブフィールドデータSD2、SD3が順次読み出される。次に、サブフィールドSF4においては、オン信号S_{on}がHレベルに保持される。なお、オン信号S_{on}は、サブフィールドSF4以外の期間においてはLレベルに保持される。次に、サブフィールドSF5～SF7においても、同様にメモリブロック325～327がアクセスされ、各々m行×n列のサブフィールドデータSD5～SD7が順次読み出される。オア回路332は、これらサブフィールドデータSD1～SD3、SD5～SD7およびオン信号S_{on}の論理和をデータ信号Dsとして出力する。

【0044】

図8は、デコーダが用いる真理値表を示す。デコーダ312が用いる該真理値表は、階調データと、サブフィールドSF1～SF3、SF5～SF7のオン／オフを規定する、サブフィールドデータ（SD1～SD3、SD5～SD7）中の1または0との対応関係を示す。例えば、「5」階調（0101）を表すためには、サブフィールドデータSD3及びSD5が1であることから、サブフィールドSF3及びSF5をオン状態にする。

【0045】

図9は、第1の実施の形態の信号の波形を示す。流化信号FRがLレベルとなる1フレーム（1F）において、スタートパルスDYが供給されると、走査線駆動回路130によるクロック信号CLYに従う転送によって、走査信号G1、G2、G3、・・・Gmが期間（t）に順次排他的に出力される。期間（t）は、最も短いサブフィールドSF1よりもさらに短い期間に設定されている。

【0046】

走査信号G1、G2、G3、・・・、Gmは、それぞれクロック信号CLYの半周期に相当するパルス幅を有し、また、上から数えて1本目の走査線112に対応する走査信号G1は、スタートパルスDYが供給された後、クロック信号CLYが最初に立ち上がったから、少なくともクロック信号CLYの半周期だけ遅

延して出力される構成となっている。したがって、スタートパルスDYが供給されてから、走査信号G1が出力されるまでに、ラッチパルスLPの1ショット（G0）がデータ線駆動回路140に供給される。

【0047】

まず、このラッチパルスLPの1ショット（G0）がデータ線駆動回路140に供給されると、データ線駆動回路140におけるクロック信号CLXにしたがった転送によって、ラッチ信号S1、S2、S3、・・・、Snが、水平走査期間（1H）に順次排他的に出力される。なお、ラッチ信号S1、S2、S3、・・・、Snは、それぞれクロック信号CLXの半周期に相当するパルス幅を有する。

【0048】

図4の第1のラッチ回路1404は、ラッチ信号S1の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて1本目のデータ線114との交差に対応する画素110へのデータ信号Dsをラッチし、次に、ラッチ信号S2の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて2本目のデータ線114との交差に対応する画素110へのデータ信号Dsをラッチし、以下、同様に、上から数えて1本目の走査線112と、左から数えてn本目のデータ線114との交差に対応する画素110へのデータ信号Dsをラッチする。

【0049】

これにより、まず、図1において上から1本目の走査線112との交差に対応する画素1行分のデータ信号Dsが、第1のラッチ回路1404により点順次的にラッチされる。なお、データ変換回路300は、第1のラッチ回路1404によるラッチのタイミングに合わせて、各画素の階調データD0～D3をデータ信号Dsに変換して出力する。

【0050】

次に、クロック信号CLYが立ち下がって、走査信号G1が出力されると、図1において上から数えて1本目の走査線112が選択される結果、当該走査線112との交差に対応する画素110のトランジスタ116がすべてオンとなる。

一方、当該クロック信号CLYの立ち下がりによってラッチパルスLPが出力される。そして、このラッチパルスLPの立ち下がりタイミングにおいて、第2のラッチ回路1406は、第1のラッチ回路1404によって点順次的にラッチされたデータ信号Dsを、電位選択回路1408を介して、対応するデータ線114の各々にデータ信号d1、d2、d3、・・・、dnとして一斉に供給する。このため、上から数えて1行目の画素110においては、データ信号d1、d2、d3、・・・、dnの書込が同時に行われる。

【0051】

この書込と並行して、図1において上から2本目の走査線112との交差に対応する画素1行分のデータ信号Dsが、第1のラッチ回路1404により点順次的にラッチされる。そして、以降同様な動作が、m本目の走査線112に対応する走査信号Gmが出力されるまで繰り返される。すなわち、ある走査信号Gi（iは、 $1 < i < m$ を満たす整数）が出力される1水平走査期間（1H）においては、i本目の走査線112に対応する画素110の1行分に対するデータ信号d1、d2、d3、・・・、dnの書込と、(i+1)本目の走査線112に対応する画素110の1行分に対するデータ信号Dsの点順次的なラッチとが並行して行われる。なお、画素110に書き込まれたデータ信号は、次のサブフィールドSF2における書込まで保持される。

【0052】

以下同様な動作が、サブフィールドの開始を規定するスタートパルスDYが供給される毎に繰り返される。さらに、1フレーム経過後、交流化信号FRがHレベルに反転した場合においても、各サブフィールドにおいて同様な動作が繰り返される。

【0053】

〔第2の実施の形態〕

第2の実施の形態の電気光学装置について、図11～図14を参照して説明する。

図14は、第2の実施の形態のサブフィールドを示す。図14と第1の実施の形態のサブフィールドを示す図10との比較から明らかであるように、第2の実

施の形態のフレーム 1 F には、階調データに拘わらずオフ状態にするサブフィールド SF 8 が追加されている。

【 0 0 5 4 】

図 1 1 は、第 2 の実施の形態のスタートパルス発生回路の構成を示し、図 1 2 は、第 2 の実施の形態のデータ変換回路の構成を示し、図 1 3 は、第 2 の実施の形態の信号の波形を示す。第 2 の実施の形態の電気光学装置は、上記サブフィールド SF 8 を用いて動作すべく、図 1 1 に示されたスタートパルス発生回路 2 1 0 及び図 1 2 に示されたデータ変換回路 3 0 0 を有する。スタートパルス発生回路 2 1 0 では、図 1 1 に示されるように、サブフィールド SF 8 に対応する期間を発生するための計数データ D c 8 がマルチプレクサ 2 1 3 a に供給される。データ変換回路 3 0 0 では、図 1 2 に示すように、表示アドレス制御部 3 3 0 a が、スタートパルス DY がサブフィールド SF 8 を指し示すときのみ S - o f f 信号を出力する。

【 0 0 5 5 】

第 2 の実施の形態の電気光学装置によれば、階調を微調整するためにサブフィールド SF 1 ～ SF 7 の何れかの期間を多少増減する必要があるとき、他のサブフィールド SF 1 ～ SF 3、SF 5 ～ SF 7 の長さを増減することなく、サブフィールド SF 8 の期間のみを前記増減を要する長さだけ増減することにより前記階調を微調整することができることから、前記階調の微調整を容易に行うことが可能になる。

【 0 0 5 6 】

[第 3 の実施の形態]

第 3 の実施の形態の電気光学装置は、第 1 及び第 2 の実施形態の電気光学装置より一層の多階調を表示することを特徴とする。第 3 の実施の形態の電気光学装置について、図 1 5 ～ 図 1 8 を参照して説明する。

【 0 0 5 7 】

図 1 8 は、第 3 の実施の形態のサブフィールドを示す。第 3 の実施の形態の電気光学装置では、該電気光学装置に入力される 6 ビットの階調データ D 0 ～ D 5 が規定する 6 4 階調を表示すべく、1 フレーム (1 F) は、図 1 8 に示されるよ

うに、7個のサブフィールドSF1～SF7、7個のサブフィールドSF9～SF15、及びサブフィールドSF8を有する。サブフィールドSF1～SF7の長さは、「1」階調の重み付けを有し、サブフィールドSF9～SF15の長さは、「8」階調の重み付けを有する。液晶の動作特性により規定される閾値電圧 V_{th} を与えるべく、サブフィールドSF8を、階調に拘らず常時オン状態にされる。

【0058】

サブフィールドSF1～SF7のオン/オフ状態は、階調データD0～D5の下位3ビット(D0～D2)により規定され、他方、サブフィールドSF9～SF15のオン/オフ状態は、階調データD0～D5の上位3ビット(D3～D5)により規定される。例えば、階調データD0～D5が、「10」階調を示す「001010」であるとき、サブフィールドSF6及びSF7をオン状態にし、かつサブフィールドSF9をオン状態にし、また、階調データD0～D5が、「28」階調を示す「011100」であるとき、サブフィールドSF4～SF7をオン状態し、かつサブフィールドSF9～SF11をオン状態にする。

【0059】

このように、サブフィールドSF1～SF7、及びサブフィールドSF9～SF15を、下位ビット(D0～D2)の値の増加及び上位ビット(D3～D5)の値の増加に従って、サブフィールドSF7及びSF9間の実質的な境界を基点としてフレームの外側の方向へ順々に選択することにより、第1の実施の形態と同様に、選択されるサブフィールドの連続性を確保することが可能になる。

なお、6ビットの階調データをD0～D5を3ビットずつに分割することに代えて、例えば、上位2ビット及び下位4ビットに分割することも可能である。

【0060】

図15は、第3の実施の形態のスタートパルス発生回路の構成を示し、図16は、第3の実施の形態のデータ変換回路の構成を示し、図17は、第3の実施の形態の電気光学装置の動作を示す。上記の動作を行うべく、第3の実施の形態の電気光学装置は、図15に示されたスタートパルス発生回路、及び図16に支援されたデータ変換回路を有する。

スタートパルス発生回路210では、図15に示されるように、サブフィールドSF1～SF15に対応する期間を発生するための計数データDc1～Dc15がマルチプレクサ213bに供給される。データ変換回路300では、図16に示されるように、デコーダ312bは、階調データD0～D6を供給され、サブフィールドデータSD1～SD7、SD9～SD15を出力し、また、表示アドレス制御部330bは、スタートパルスDYがサブフィールドSF1～SF15を指し示す毎に、読出し信号RD1～RD7、RD9～RD15を出力する。

【0061】

〔第4の実施の形態〕

第4の実施の形態の電気光学装置について図19を参照して説明する。

図19は、第4の実施の形態のサブフィールドを示す。第4の実施の形態の電気光学装置は、図19に示されるように、第1の実施の形態で説明した、階調データに拘わらず常時オン状態にすべきサブフィールドSF4を、原則としてオン状態にし、他方、前記階調データが0000のときのみ、オフ状態にする。これにより、コントラストを上げ画質を向上することが可能になる。

【0062】

〔第5の実施の形態〕

第5の実施の形態の電気光学装置について図20を参照して説明する。

図20は、第5の実施の形態のサブフィールドを示す。第5の実施の形態の電気光学装置は、図20に示されるように、階調に従って選択すべきサブフィールドを、相互に隣接するフレーム間の境界Pで連続させる。言い換えれば、前記階調に応じて、前記境界Pを基点としてフレームの中央の方向にサブフィールドを順次選択する。これにより、選択されるサブフィールドの連続性を、隣接するフレーム間に亘って確保することが可能になる。

【0063】

〔第6の実施の形態〕

第6の実施の形態の電気光学装置について図21～図25を参照して説明する。第6の実施の形態の電気光学装置は、上記した第1～第5の実施の形態で説明した、選択されるサブフィールドの連続性を確保する技術と、FRC (frame Ra

tio Control) 変調とを組み合わせることを特徴とする。

【0064】

FRC変調とは、1つのフレーム期間を通じて階調を表示するのではなく、相互に連続する複数のフレームを通じて階調を表示することをいう。例えば、2つの連続するフレームを用いて64階調のうちの「11」階調を表示しようとするときには、1番めのフレームで、「6」階調を表示し、2番めのフレームで「5」階調を表示する。また、例えば、3つの連続するフレームを用いて64階調のうちの「11」階調を表示しようとするときには、1番めのフレームで「4」階調を表示し、2番めのフレームで「3」階調を表示し、3番めのフレームで「3」階調を表示する。表示すべき階調が、64階調、128階調、256階調のように一層大きくなることに伴い、低階調を表示するためのサブフィールド、例えば、「1」階調に相当する長さを有するサブフィールドの長さが短くならざるを得ないことから、FRC変調は、特に、低階調を表示するためのサブフィールドのオン／オフを高精度に制御することに適する。

【0065】

ここで、階調データを構成するNビットが、上位Mビット（Mは、Nより小さい正の整数）及び下位（N-M）ビットからなり、第1のサブフィールドが、前記下位（N-M）ビット中の最下位ビットの重み付けに相当する第1の重み付けを有し、第2のサブフィールドが、前記上位Mビット中の最下位ビットの重み付けに相当する第2の重み付けを有し、前記複数のフレームの数がF個であることを想定すると、各フレームは、 $(2^{N-M}-1)/F$ 個の第1のサブフィールド及び (2^M-1) 個の第2のサブフィールドから構成される。 $(2^{N-M}-1)/F$ が余りを生じるときには、第1のサブフィールドの個数は、商に1を加えた数である。さらに、第1の重み付けが α であることを想定すると、第2の重み付けは、 $\alpha 2^{N-M}/F$ となる。

【0066】

また、階調パターン数は、第1のサブフィールドの数をbとすると、 $2^M(b+1)$ 個となる。さらに、前記第1及び前記第2のサブフィールド数の合計が最小となるMの最適解に基づいて、前記階調データを上位ビット及び下位ビット

に分割することが望ましい。なお、上記式は、常時オン状態にすべきサブフィールド及び常時オフ状態にすべきサブフィールドを考慮していない。

【0067】

以下、64階調を3つの連続するフレームを用いて表示する64階調3FRCについて説明する。

図24は、第6の実施の形態のサブフィールドを示す。前記階調データは、上位2ビット及び下位4ビットに分割されており、前記上位2ビットについては、該上位ビット中の最下位ビットの重み付けに相当する重み付けを有する3個のサブフィールドSF7～SF9が設けられている。一方、下位4ビットについては、3つのフレーム全体で0～15階調を表示すべく、前記下位4ビット中の最下位ビットの重み付けに相当する重み付けを有する15 ($= 2^4 - 1$) 個のサブフィールドを3つのフレームに分散させて設ける必要がある。したがって、各フレームには、前記下位4ビットについては、5個のサブフィールドが設けられている。要約すれば、各フレームには、上位2ビットに対応するSF7～SF9、下位4ビットに対応するサブフィールドSF1～SF5、及び、常時オンとすべきサブフィールドSF6の合計9個のサブフィールドが形成されている。

図24では、下位ビットに対応するサブフィールドSF1～SF5の個数が5であり、他方、上位ビットに対応するサブフィールドSF7～SF9の個数が3個であることから、サブフィールドを選択する選択パターンが24 ($= (5 + 1) \times (3 + 1)$) 種類であることが示されている。

【0068】

図25は、64階調3FRCの各フレームでの選択パターンを示す。例えば、階調データが「7」階調(000111)を示すときには、1番めのフレームでは、該1番めのフレームに含まれるサブフィールドのうち、図24に示した選択パターン3を構成するために必要なサブフィールドを選択し、即ち、サブフィールドSF3～SF5を選択し、2番めのフレームでは、該2番めのフレームに含まれるサブフィールドのうち、図24に示した選択パターン2を構成するために必要なサブフィールドを選択し、即ちサブフィールドSF4及びSF5を選択し、3番めのフレームでもまた、該3番めのフレームに含まれるサブフィールドのうち

、選択パターン2を構成するために必要なサブフィールドを選択する、即ち、サブフィールドSF4及びSF5を選択する。

【0069】

図21は、第6の実施の形態のデータ変換回路の構成を示し、また、図22は、デコーダが用いる真理値表を示す。データ変換回路300sは、図21に示されるように、上記した第1の実施の形態と同様に、書き込みアドレス制御部310s、表示アドレス制御部330s、フレームメモリ321s、及びデコーダ312sを有する。

【0070】

階調データD0～D5は、ドットクロックDCLKにしたがってフレームメモリに書き込まれ、信号DY等に基づいてデコーダ312sに出力される。デコーダ312sは、信号FRD0～D1、SFD0～D3を供給され、図22に示した真理値表を参照してデコードを行い、そのデコード結果をデータ信号Dsとして出力する。データ変換回路300sは、例えば、階調データD0～D5が「1」階調を示す”000001”であって、FRが00であるとき、即ち1番めのフレームであるとき、SF5が1である旨の信号を出力する。

【0071】

図23は、64階調3FRCの第6の実施の形態の信号の波形を示す。図23に示される信号の波形は、第1の実施の形態の信号の波形と概ね同一である。

【0072】

以上説明したように、第6の実施の形態によれば、FRC変調を用いることにより、各フレームに設けるべき、重み付けの小さいサブフィールドの個数を低減することができ、これにより、前記重み付けの小さいサブフィールドの長さを長くすることができることから、液晶へのデータ信号の印加を高精度に行うことが容易になる。

【0073】

〔第7の実施の形態〕

第7の実施の形態の電気光学装置について、図26～図28を参照して説明する。

図27は、第7の実施の形態のサブフィールドを示す。64階調2FRCでは、2つのフレームを通じて、64階調を表示する。64階調を規定する6ビットの階調データは、下位3ビットと上位ビット3ビットに分割されている。2つのフレームで下位3ビットが規定する「0」～「7」の8階調を表示する必要がある。そこで、各フレームには、図27に示されるように、下位3ビットに対応する4個のサブフィールドSF1～SF4が設けられている。また、各フレームには、図27に示されるように、前記上位3ビットに対応する7個のサブフィールドSF6～SF12が設けられている。図27には、また、選択パターンの種類が、 $40 (= (4 + 1) \times (7 + 1))$ 個あることが示されている。

【0074】

図28は、第7の実施の形態の各フレームでの選択パターンを示す。例えば、階調データが「6」階調(000110)を示すとき、1番めのフレームでは、該1番めのフレームに含まれるサブフィールドのうち、図27に示した選択パターン4を構成するために必要なサブフィールドSF1～SF4を選択し、2番めのフレームでは、該2番めのフレームに含まれるサブフィールドのうち、図27に示した選択パターン3を構成するために必要なサブフィールドSF2～SF4を選択する。

【0075】

図26は、第7の実施の形態のデータ変換回路の構成を示す。データ変換回路300tは、上記第6の実施の形態と同様に、書き込みアドレス制御部310t、表示アドレス制御部330t、フレームメモリ321t、及びデコーダ312tを有する。

【0076】

階調データD0～D5は、ドットクロックDCLKにしたがってフレームメモリ321tに書き込まれ、信号DY等に基づいてデコーダ312tに出力される。デコーダ312sは、FRD0～D1、SFD0～D2を供給され、デコードを行い、デコード結果をデータ信号Dsとして出力する。

【0077】

図29は、256階調3FRC用のデータ変換回路の構成を示す。256階調

3 FRCは、データ変換回路が、図29に示されるように、図26に示された64階調2FRCと同様の構成を有することにより実現することが可能になる。

【0078】

以上説明したように、64階調2FRCの第7の本実施の形態によれば、上記した64階調3FRCの第6の実施の形態と同様に、低階調のためのサブフィールドの期間の長さを長く確保することができることから、たとえ低階調であっても液晶への電圧の印加を精度高く行うことが可能になる。

【0079】

〔第8の実施の形態〕

第8の実施の形態の電子機器について説明する。

図30は、第8の実施の形態の電子機器の構成を示す。該電子機器は、図30に示されるように、主に、画像信号などの表示情報を出力する表示情報出力源1000と、前記表示情報からデジタル信号を順次生成する表示情報処理回路1002と、上記各実施の形態で説明した電気光学装置1001と、該電気光学装置1001を駆動する、上述した走査線駆動回路130及びデータ線駆動回路140を含む駆動回路1004と、クロック発生回路1008と、電源回路1010とを備えている。第10の実施の形態の代表的な電子機器として、プロジェクタ、モバイル型コンピュータ、及び形態電話器がある。

【0080】

図31は、プロジェクタ、モバイル型のコンピュータ、及び携帯電話器の構成を示す。プロジェクタ1430は、図31(a)に示されるように、液晶光変調装置100R、100G、100Bとして、上記電気光学装置を有し、モバイル型のコンピュータ1200は、図31(b)に示されるように、表示ユニット1206として、上記した電気光学装置100及びバックライトを備えており、携帯電話器1300は、図31(c)に示されるように、表示部100として、上記の電気光学装置を備えている。

【0081】

なお、上記の例で設定した各サブフィールドの重み付けは、液晶の特性等を考慮して調整することも可能である。また、上記の例では、液晶表示装置について

説明したが、エレクトロルミネッセンス（EL）ディスプレイ、プラズマディスプレイやデジタルマイクロミラーデバイス（DMD）ディスプレイ等の電気光学素子にも適用可能である。

【 0 0 8 2 】

【発明の効果】

上記したように、本発明の画素の駆動方法によれば、オンを選択すべきサブフィールドの連続性を確保することができることから、階調のずれを改善し、画質を向上することができ、加えて、画素に印加すべき電圧が高周波に変化しないことから、消費電力を低減することが可能になる。

【図面の簡単な説明】

【図 1】

第 1 の実施の形態の電気光学装置の構成を示す図である。

【図 2】

第 1 の実施の形態の表示部に設けられている画素の構成を示す図である。

【図 3】

第 1 の実施の形態の電気光学装置の構造を示す図である。

【図 4】

第 1 の実施の形態のデータ線駆動回路の構成を示す図である。

【図 5】

第 1 の実施の形態のスタートパルス発生回路の構成を示す図である。

【図 6】

第 1 の実施の形態のスタートパルス発生回路の動作を示すタイムチャートである。

【図 7】

第 1 の実施の形態のデータ変換回路の構成を示す図である。

【図 8】

第 1 の実施の形態のデコーダが用いる真理値表を示す図である。

【図 9】

第 1 の実施の形態の信号の波形を示すタイムチャートである。

【図 1 0】

第 1 の実施の形態のサブフィールドを示す図である。

【図 1 1】

第 2 の実施の形態のスタートパルス発生回路の構成を示す図である。

【図 1 2】

第 2 の実施の形態のデータ変換回路の構成を示す図である。

【図 1 3】

第 2 の実施の形態の信号の波形を示すタイムチャートである。

【図 1 4】

第 2 の実施の形態のサブフィールドを示す図である。

【図 1 5】

第 3 の実施の形態のスタートパルス発生回路の構成を示す図である。

【図 1 6】

第 3 の実施の形態のデータ変換回路の構成を示す図である。

【図 1 7】

第 3 の実施の形態の電気光学装置の動作を示す図である。

【図 1 8】

第 3 の実施の形態のサブフィールドを示す図である。

【図 1 9】

第 4 の実施の形態のサブフィールドを示す図である。

【図 2 0】

第 5 の実施の形態のサブフィールドを示す図である。

【図 2 1】

第 6 の実施の形態のデータ変換回路の構成を示す図である。

【図 2 2】

第 6 の実施の形態のデコーダが用いる真理値表を示す図である。

【図 2 3】

第 6 の実施の形態の信号の波形を示すタイムチャートである。

【図 2 4】

第6の実施の形態のサブフィールドを示す図である。

【図25】

第6の実施の形態の各フレームでの選択パターンを示す図である。

【図26】

第7の実施の形態のデータ変換回路の構成を示す図である。

【図27】

第7の実施の形態のサブフィールドを示す図である。

【図28】

第7の実施の形態の各フレームでの選択パターンを示す図である。

【図29】

第7の実施の形態の他のデータ変換回路の構成を示す図である。

【図30】

第8の実施の形態の電子機器の構成を示す図である。

【図31】

プロジェクタ、モバイル型のコンピュータ、及び携帯電話器の構成を示す図である。

【図32】

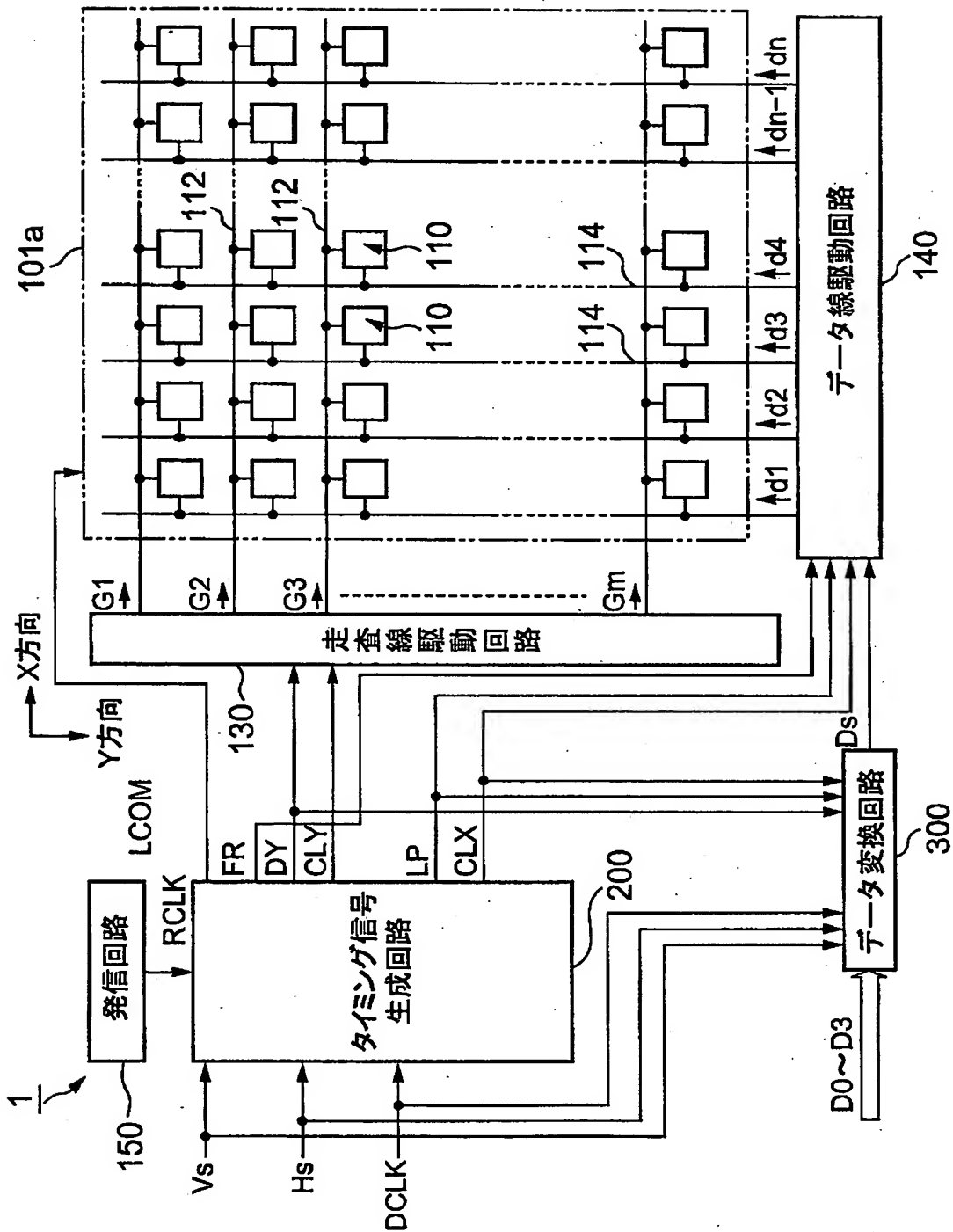
従来のサブフィールドの選択を示す図である。

【符号の説明】

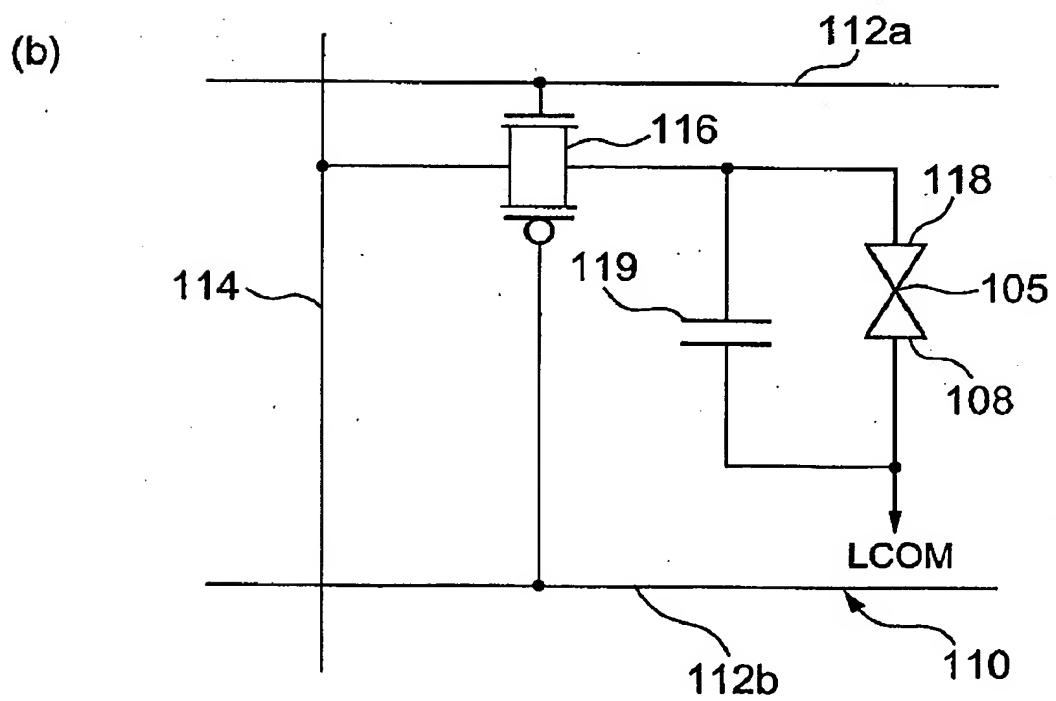
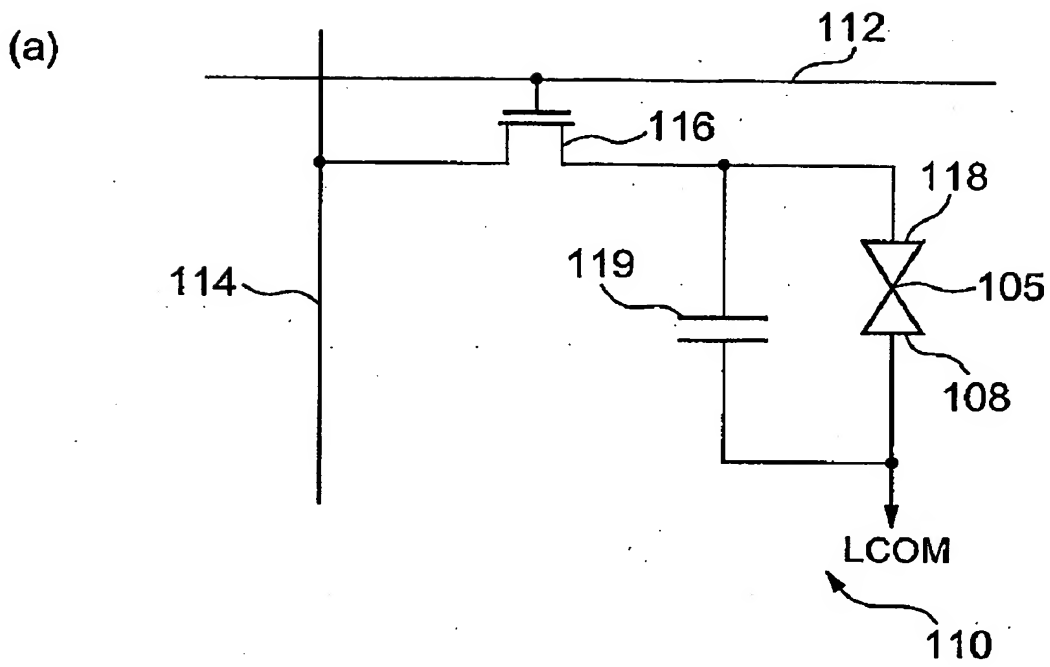
- 101a 表示部
- 150 発振回路
- 200 タイミング信号生成回路
- 300 データ変換回路
- 130 走査線駆動回路
- 140 データ線駆動回路

【書類名】 図面

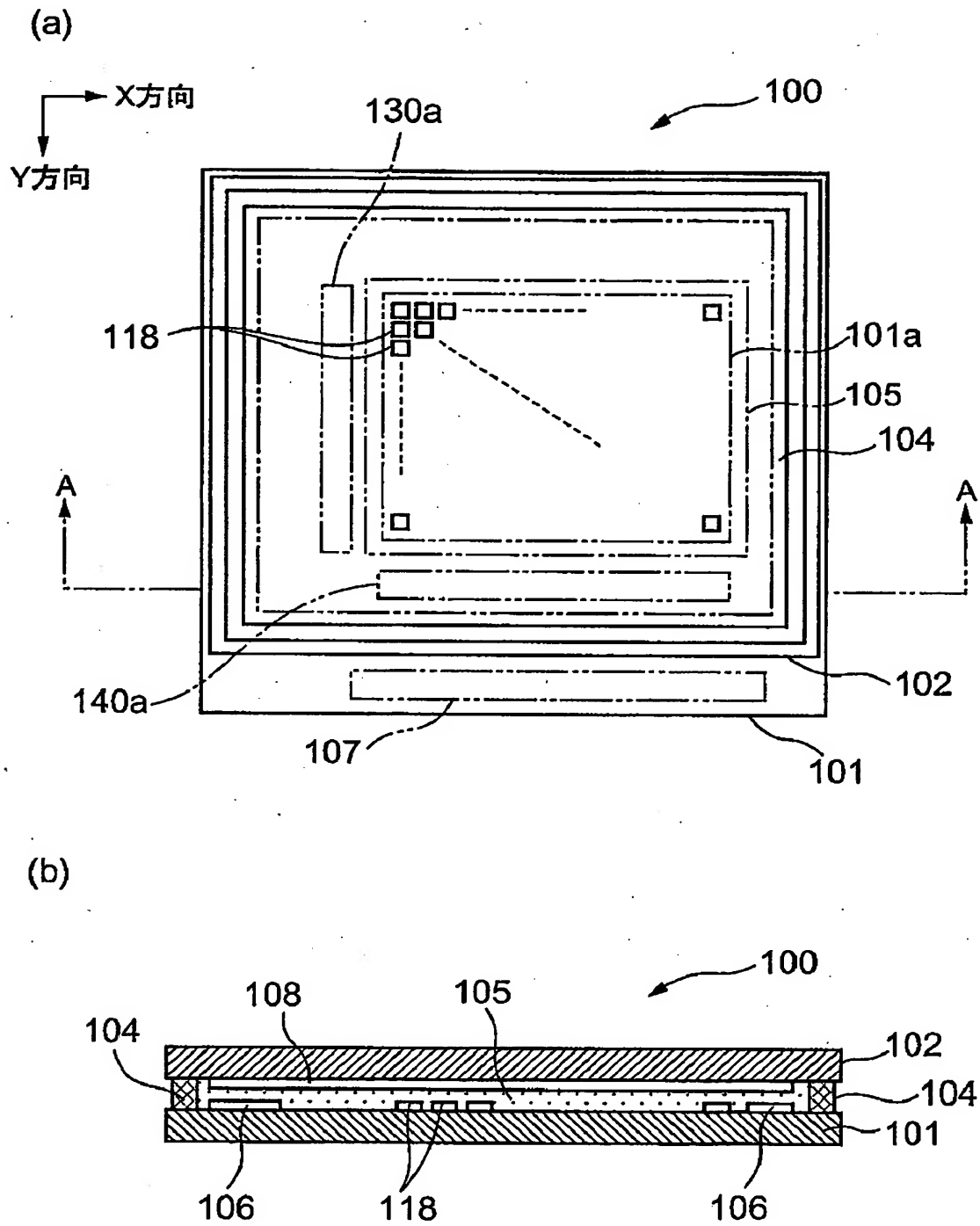
【図 1】



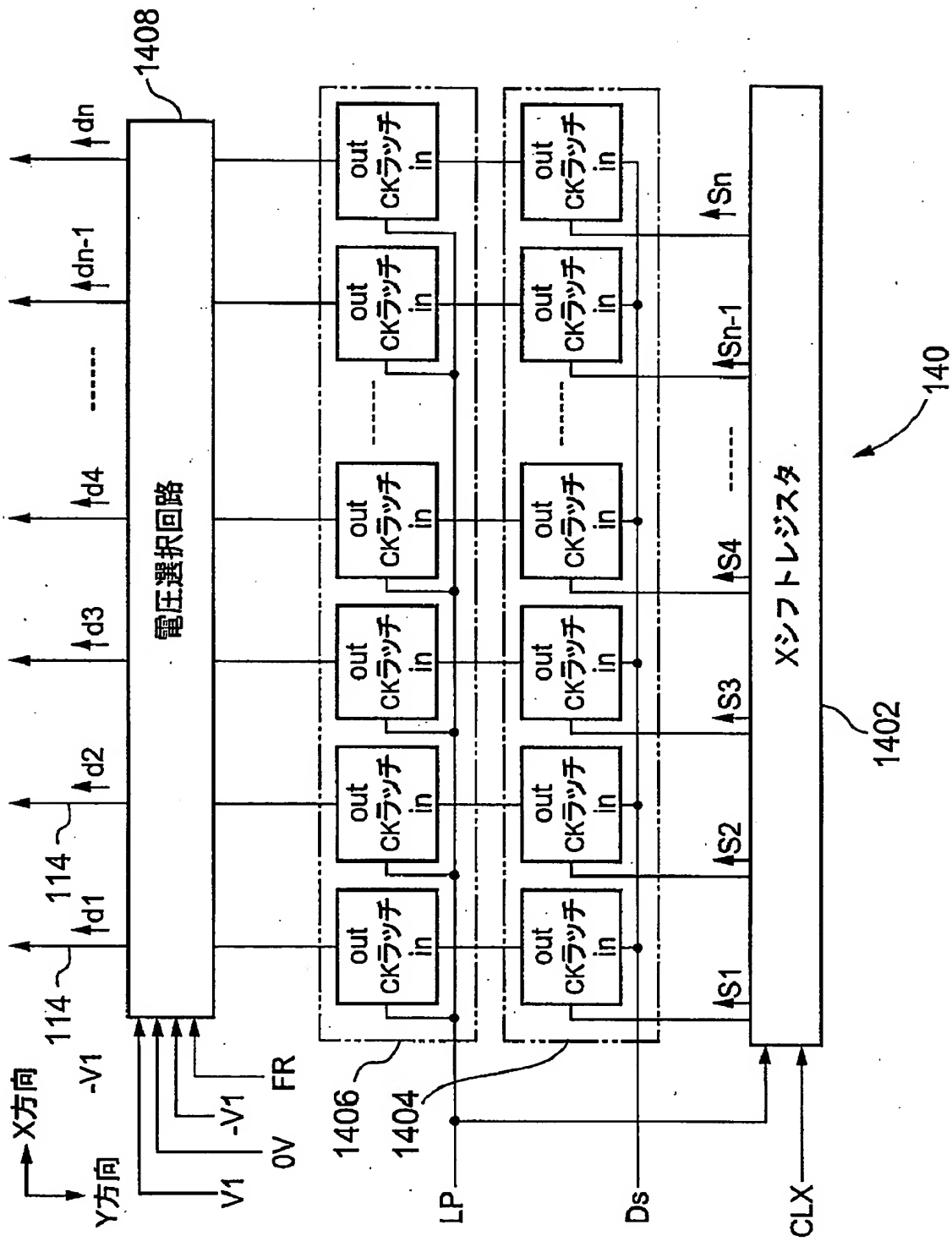
【図 2】



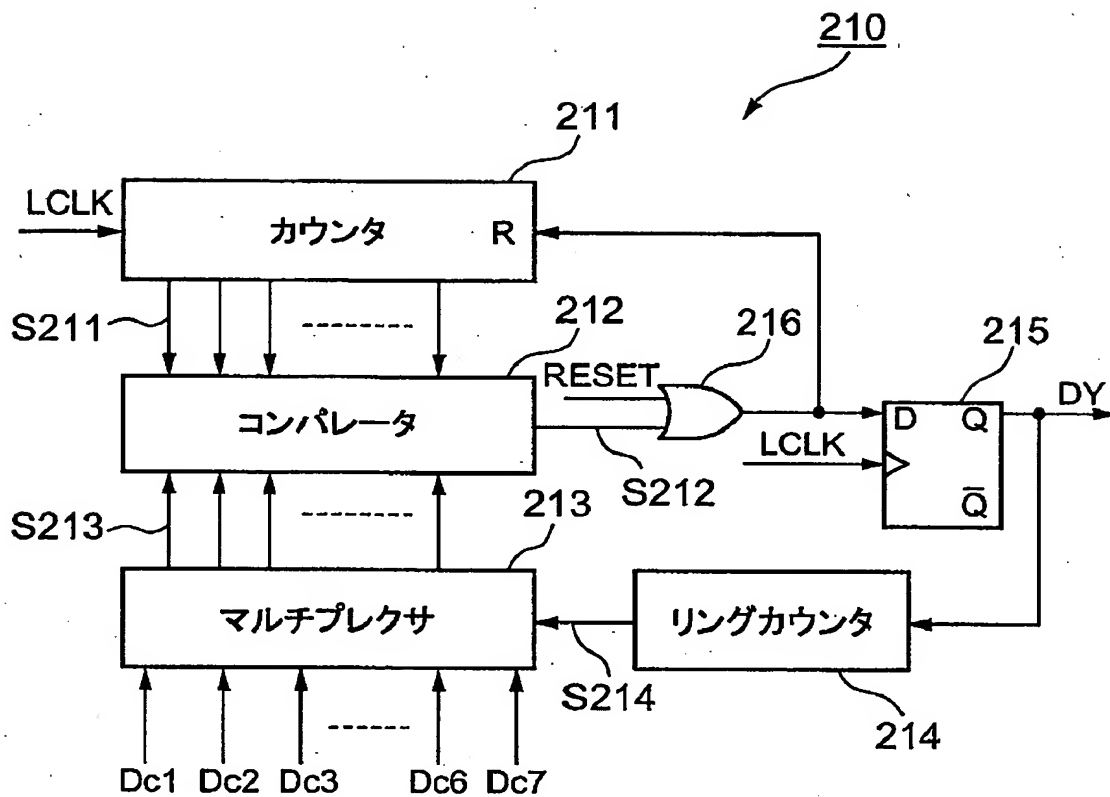
【図 3】



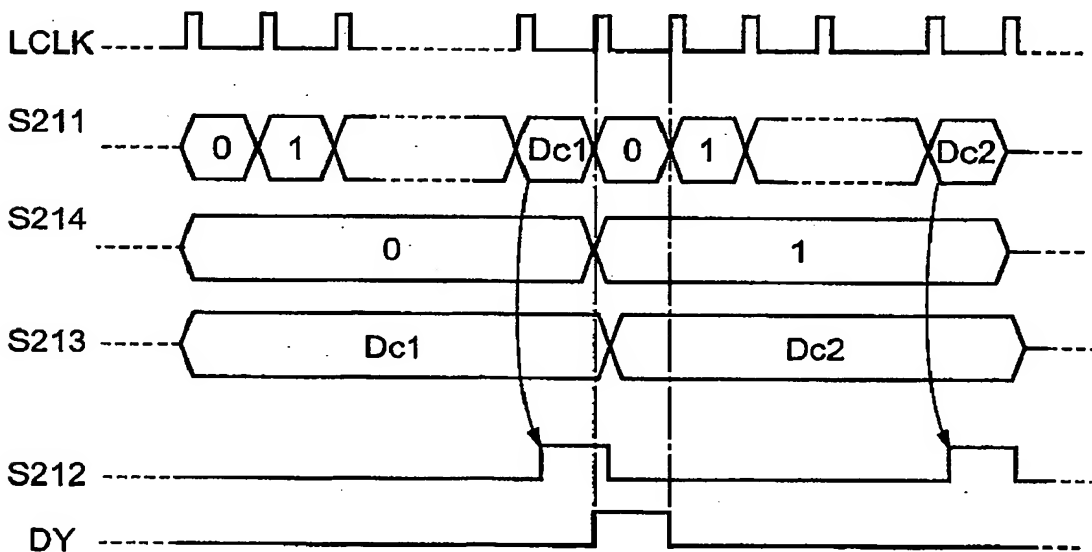
【図 4】



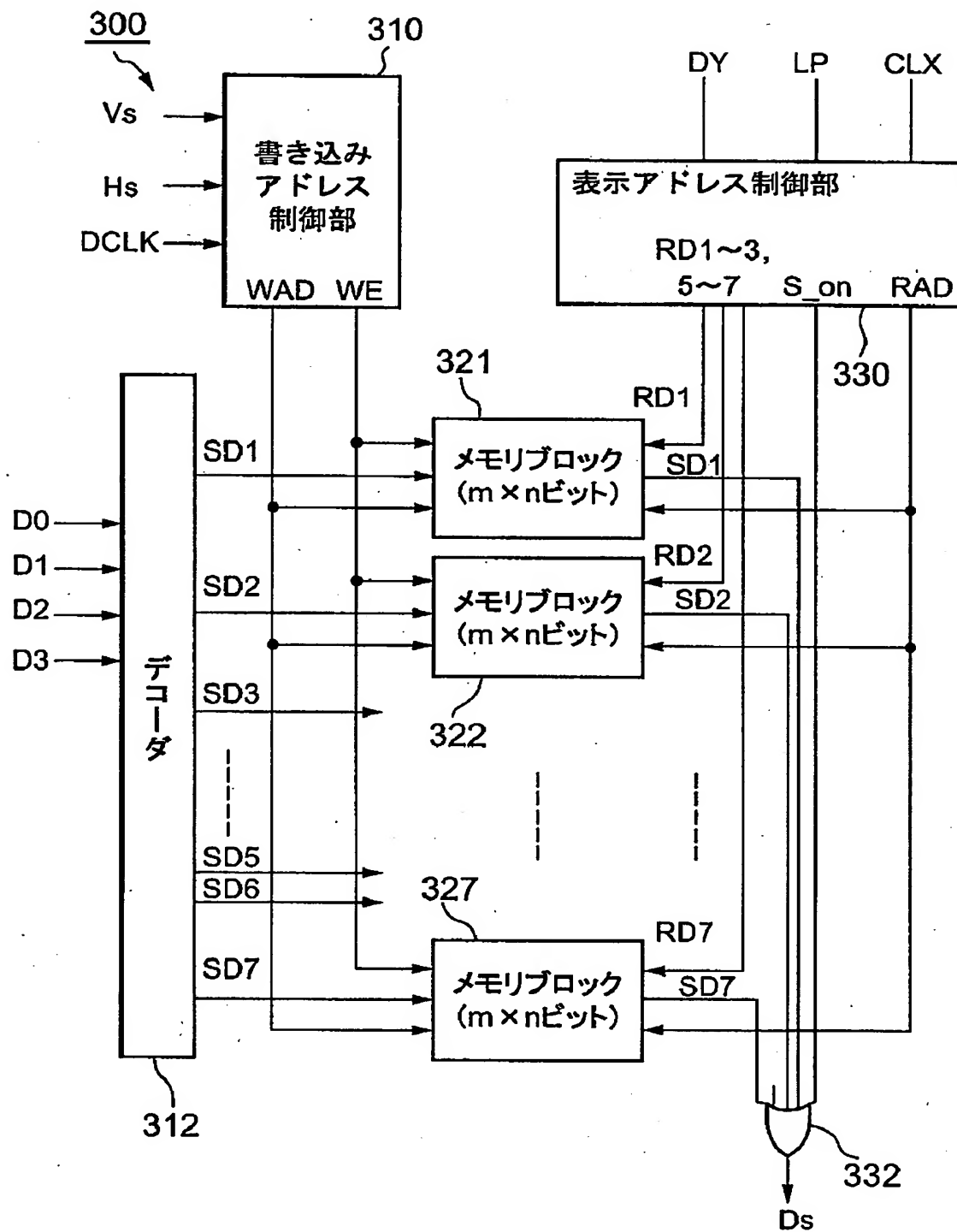
【図 5】



【図 6】



【図7】

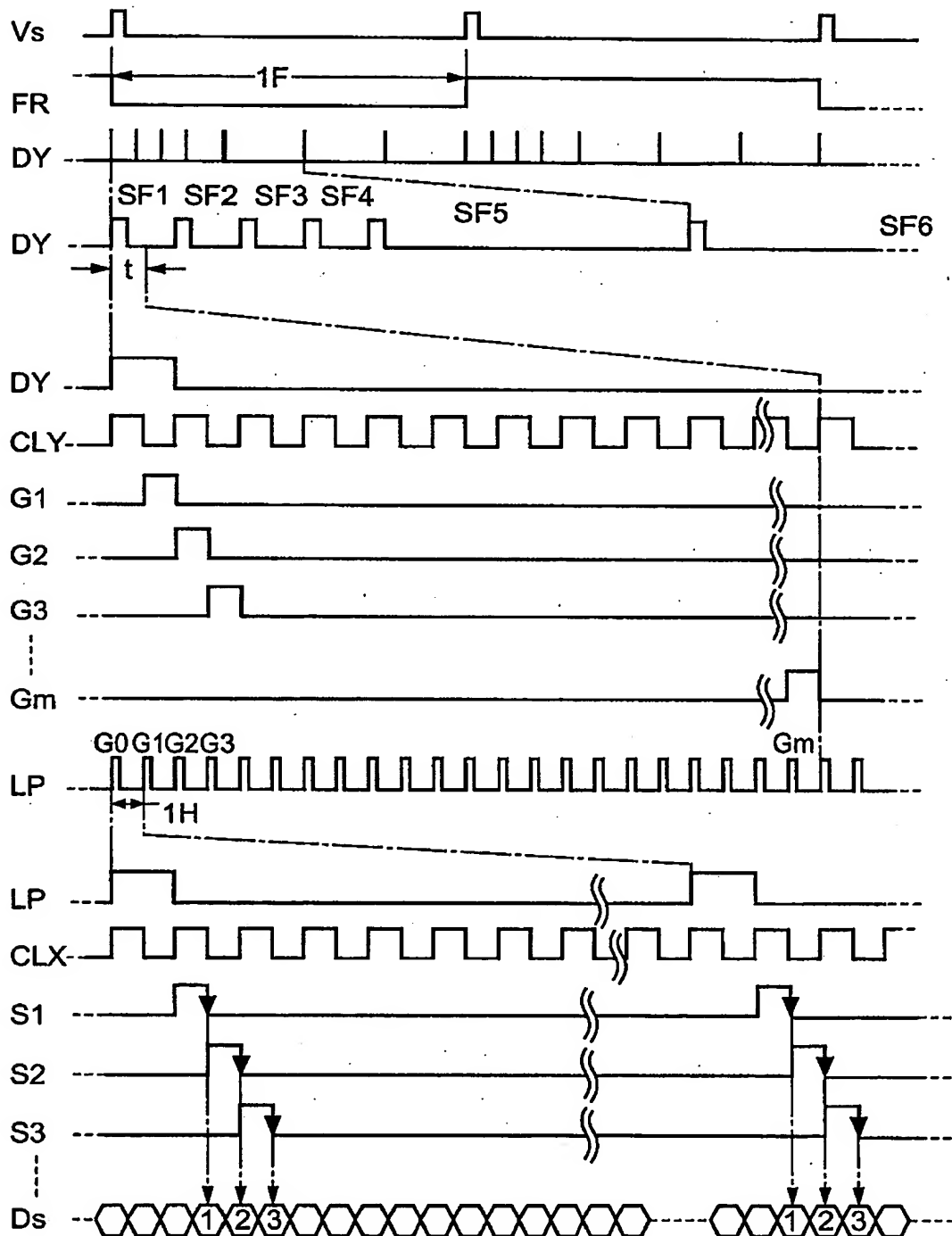


【図 8】

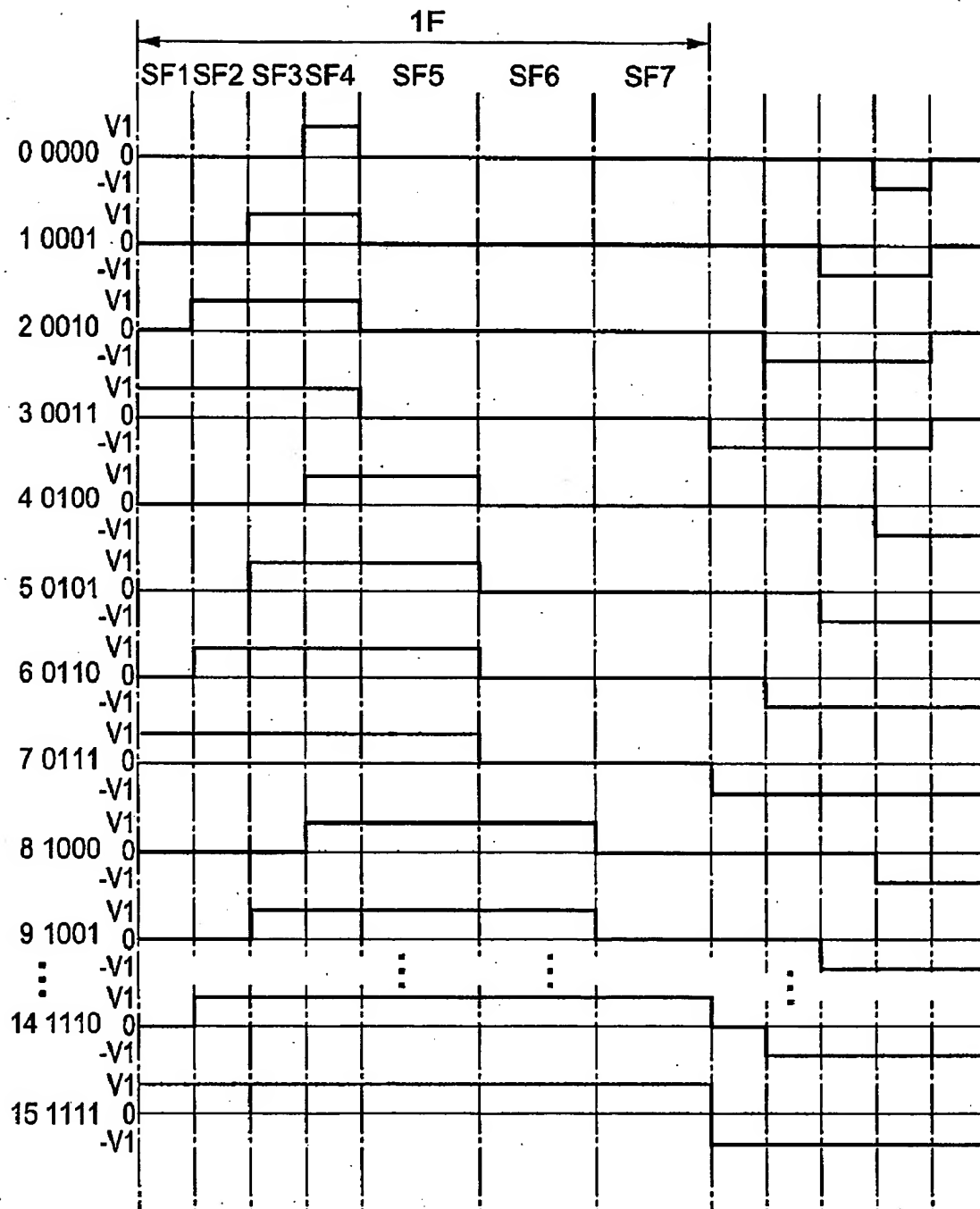
データ変換回路のデコード真理値表 (16階調7sf)

	データ	SD1	SD2	SD3	SD5	SD6	SD7
0	0000	0	0	0	0	0	0
1	0001	0	0	1	0	0	0
2	0010	0	1	1	0	0	0
3	0011	1	1	1	0	0	0
4	0100	0	0	0	1	0	0
5	0101	0	0	1	1	0	0
6	0110	0	1	1	1	0	0
7	0111	1	1	1	1	0	0
8	1000	0	0	0	1	1	0
9	1001	0	0	1	1	1	0
10	1010	0	1	1	1	1	0
11	1011	1	1	1	1	1	0
12	1100	0	0	0	1	1	1
13	1101	0	0	1	1	1	1
14	1110	0	1	1	1	1	1
15	1111	1	1	1	1	1	1

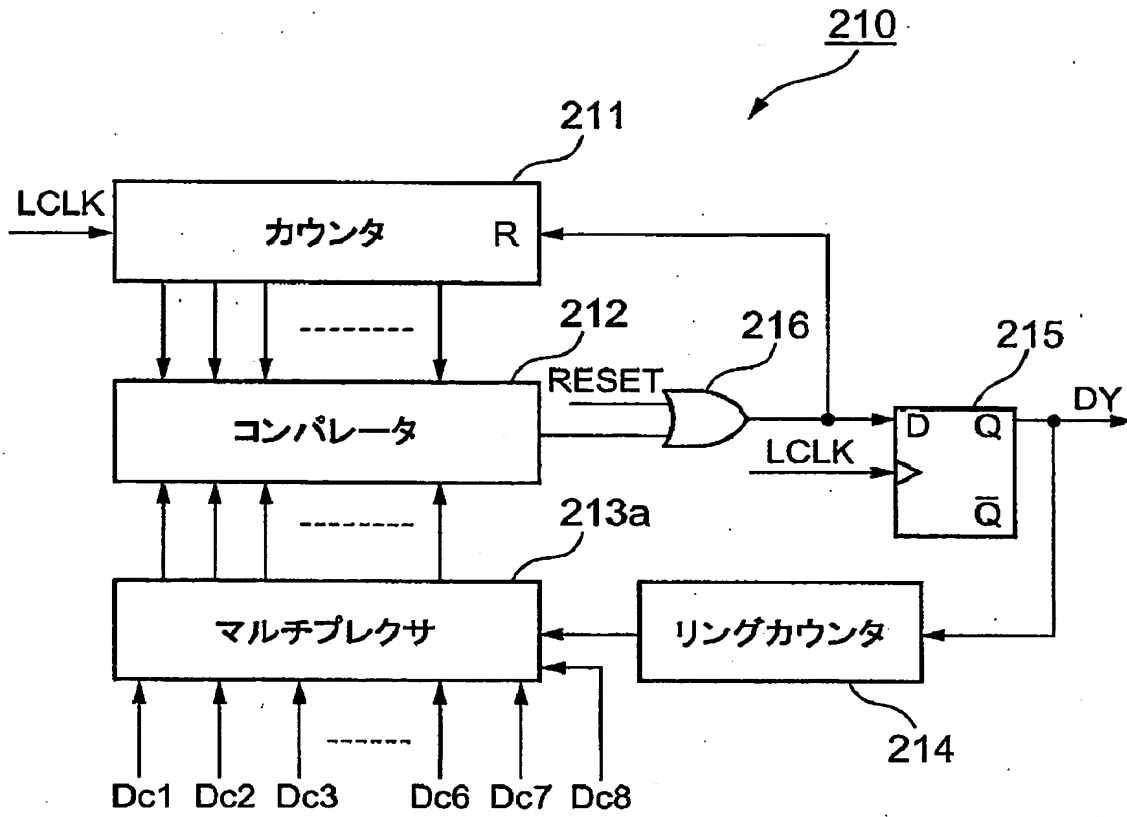
【図 9】



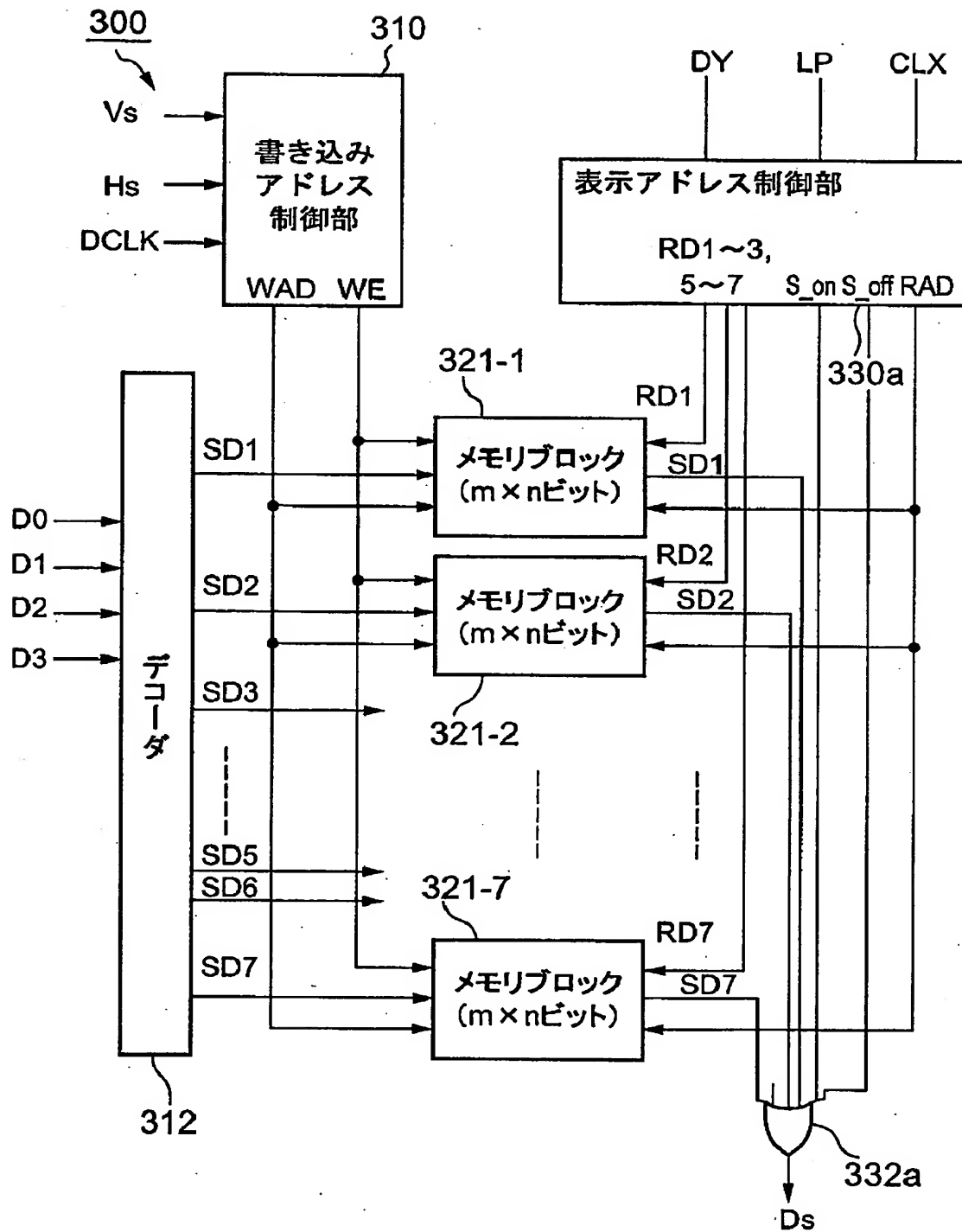
【図 10】



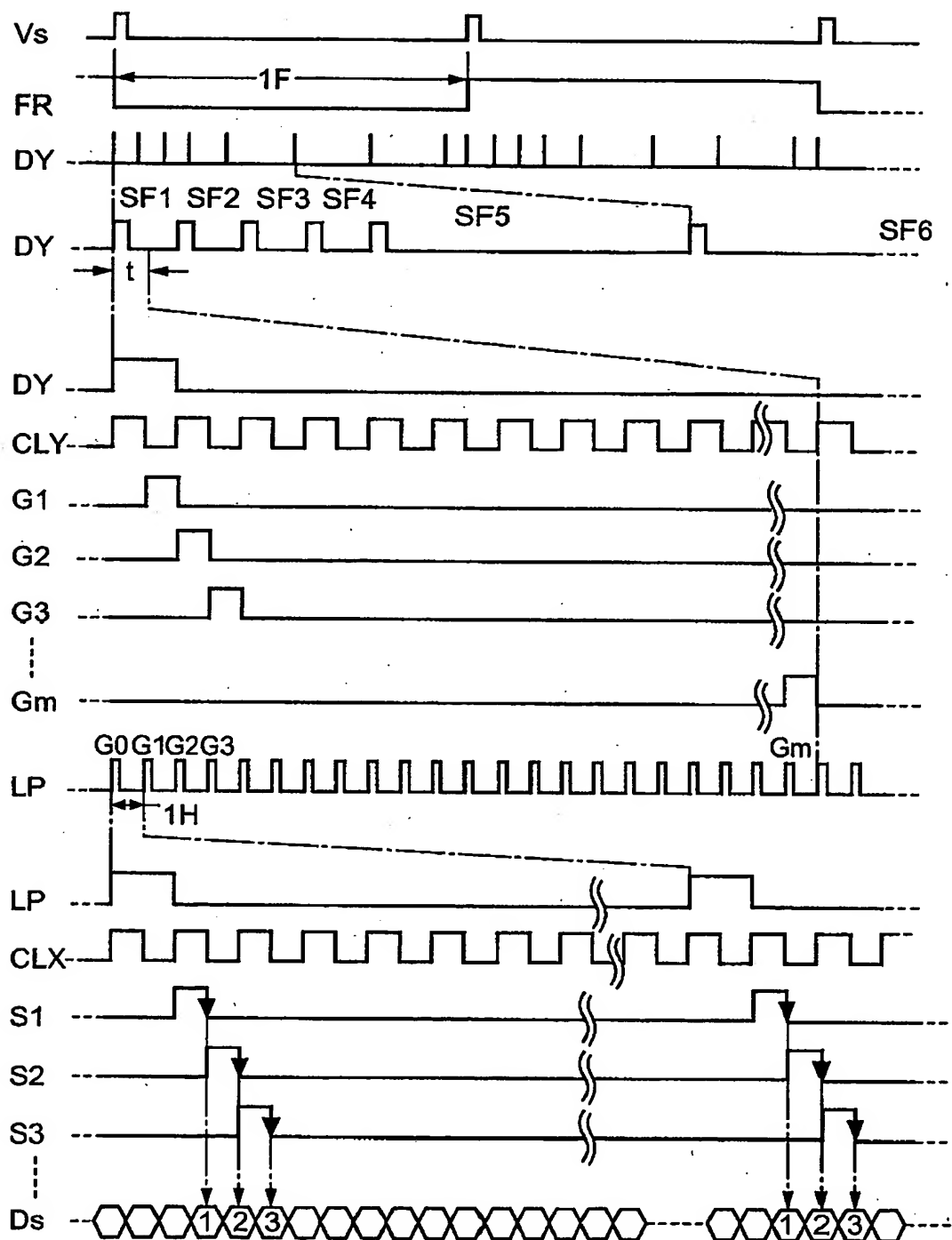
【図 11】



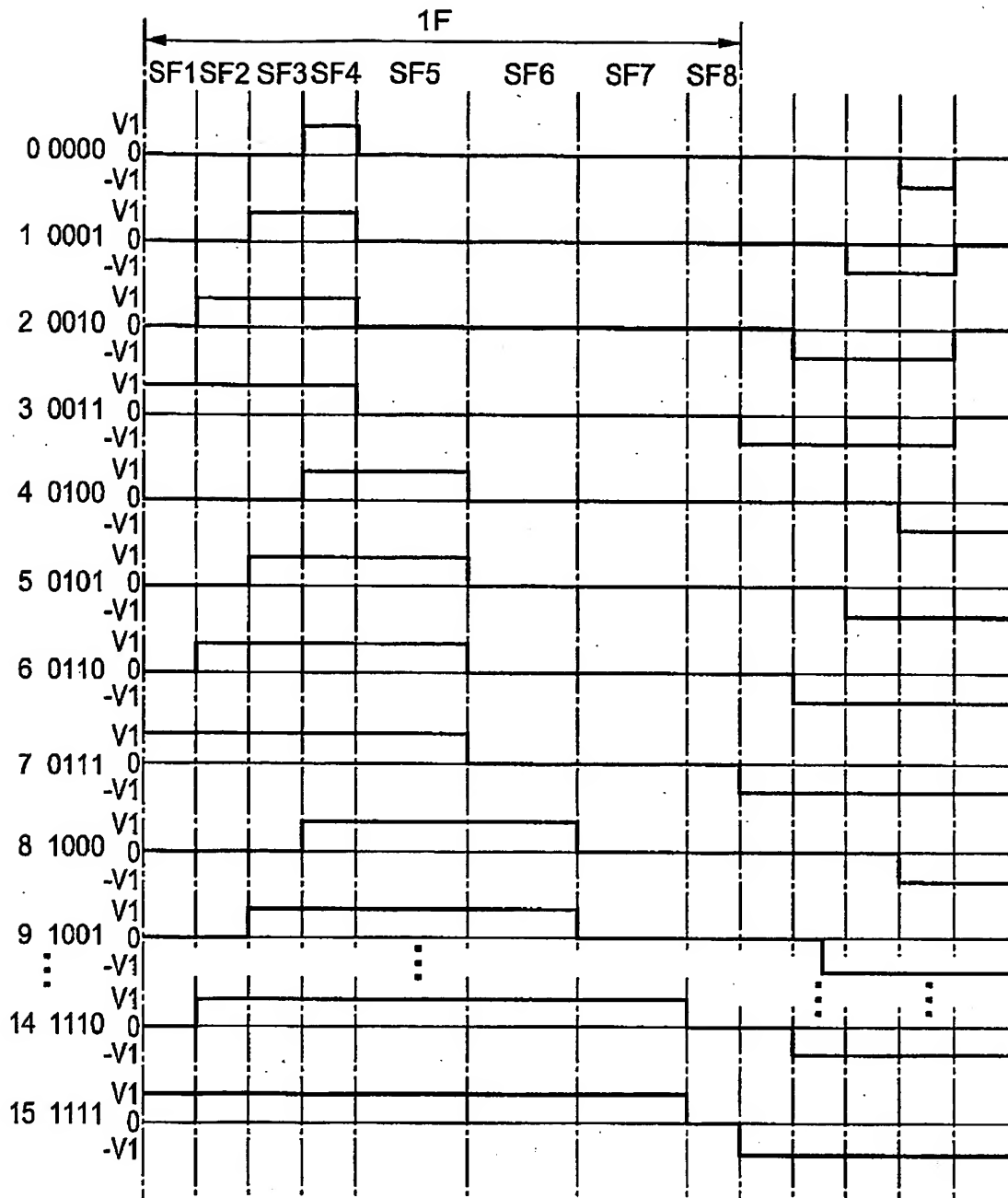
【図12】



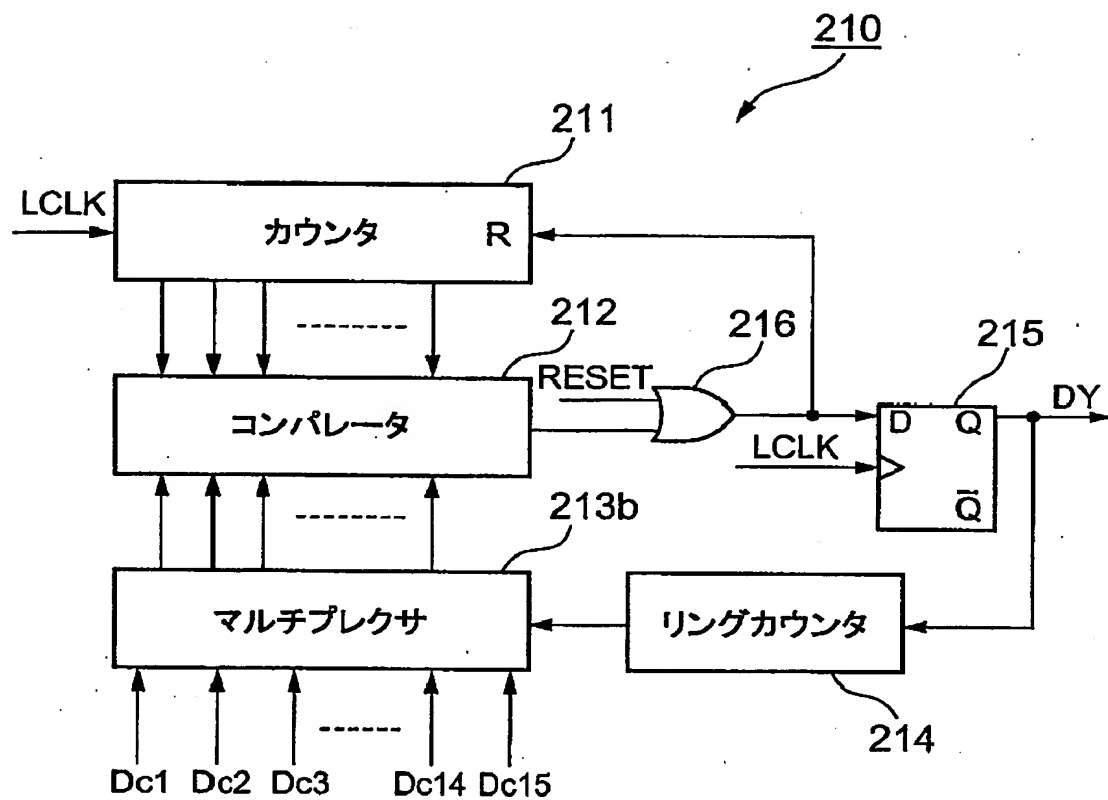
【図 13】



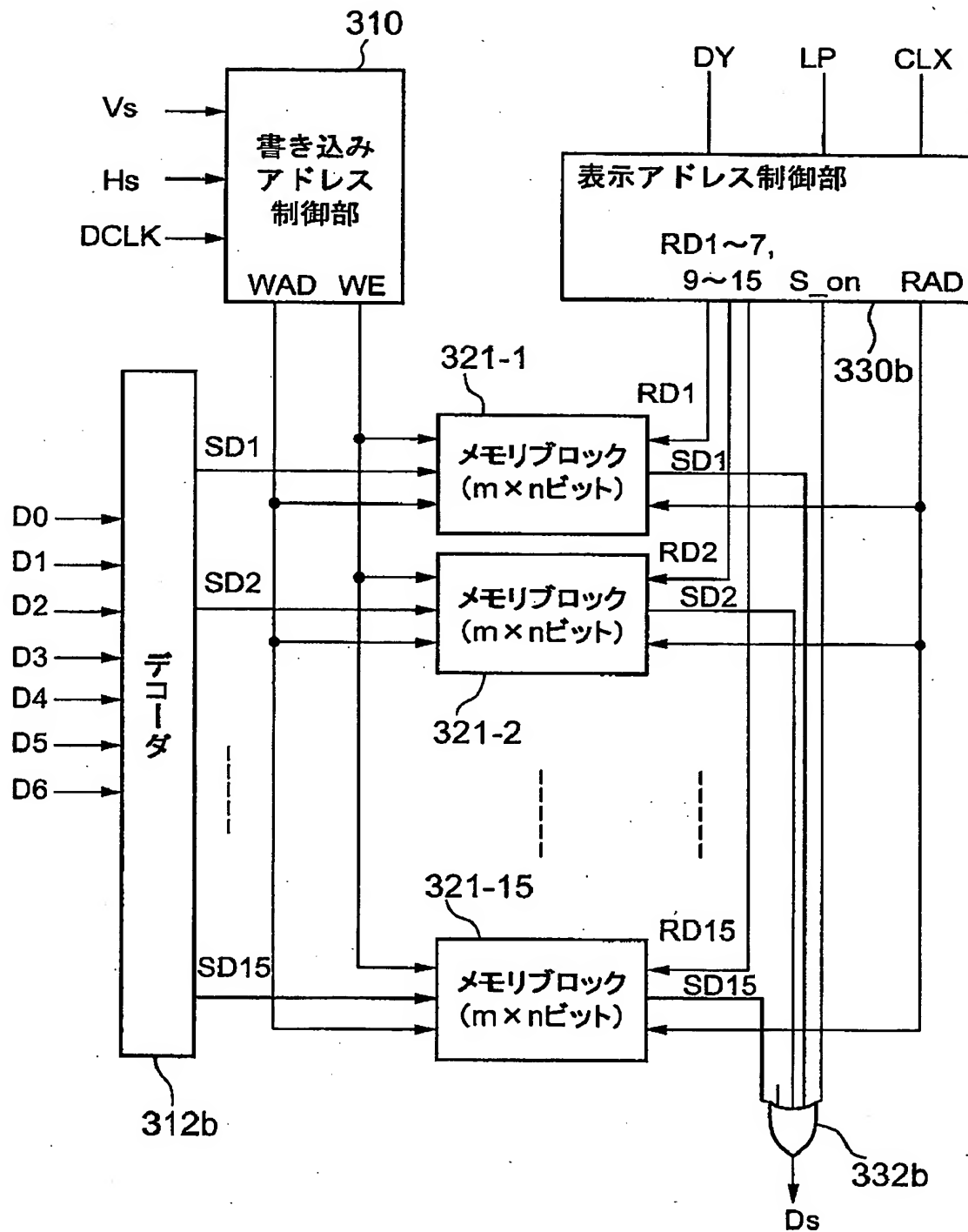
【図 14】



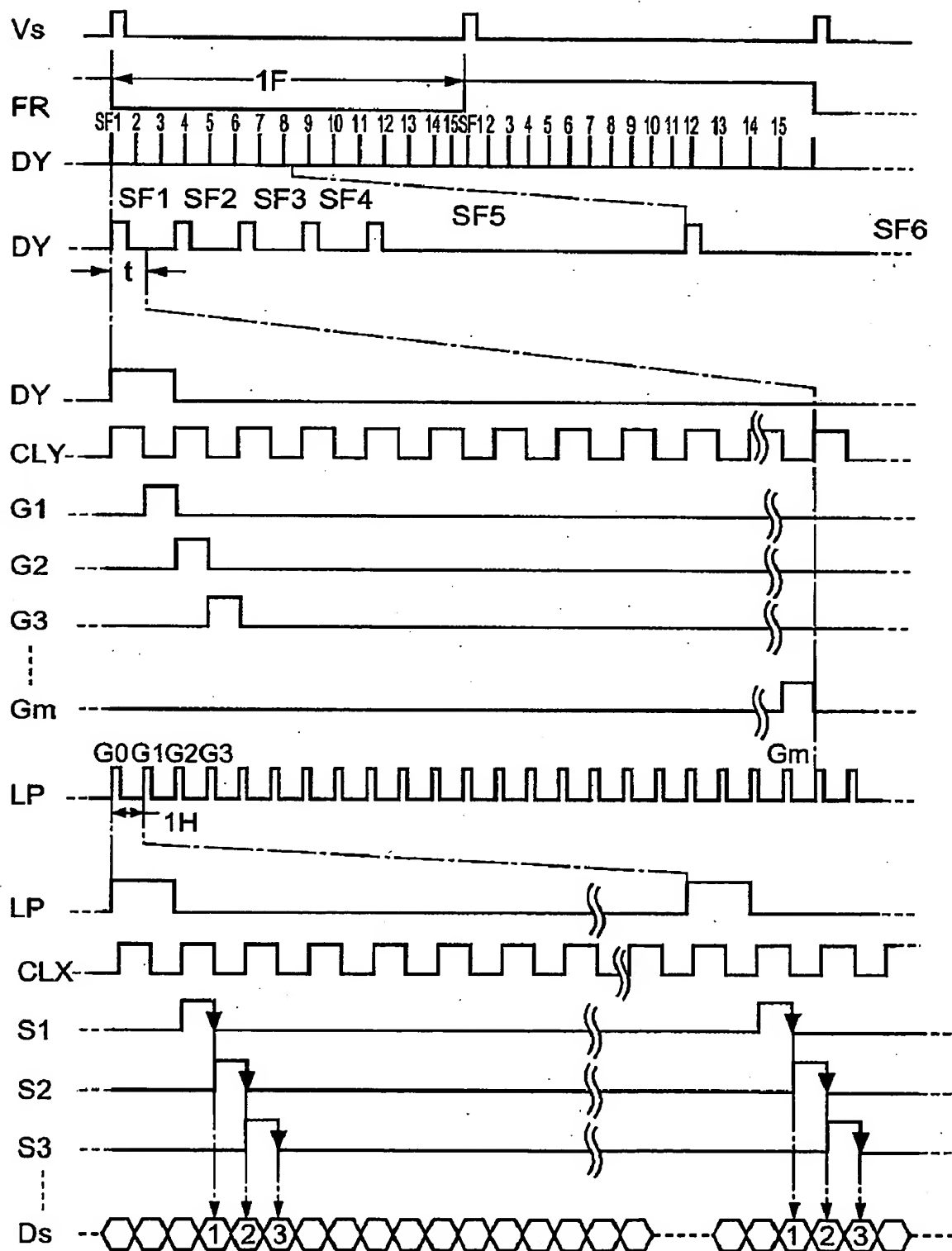
【図 15】



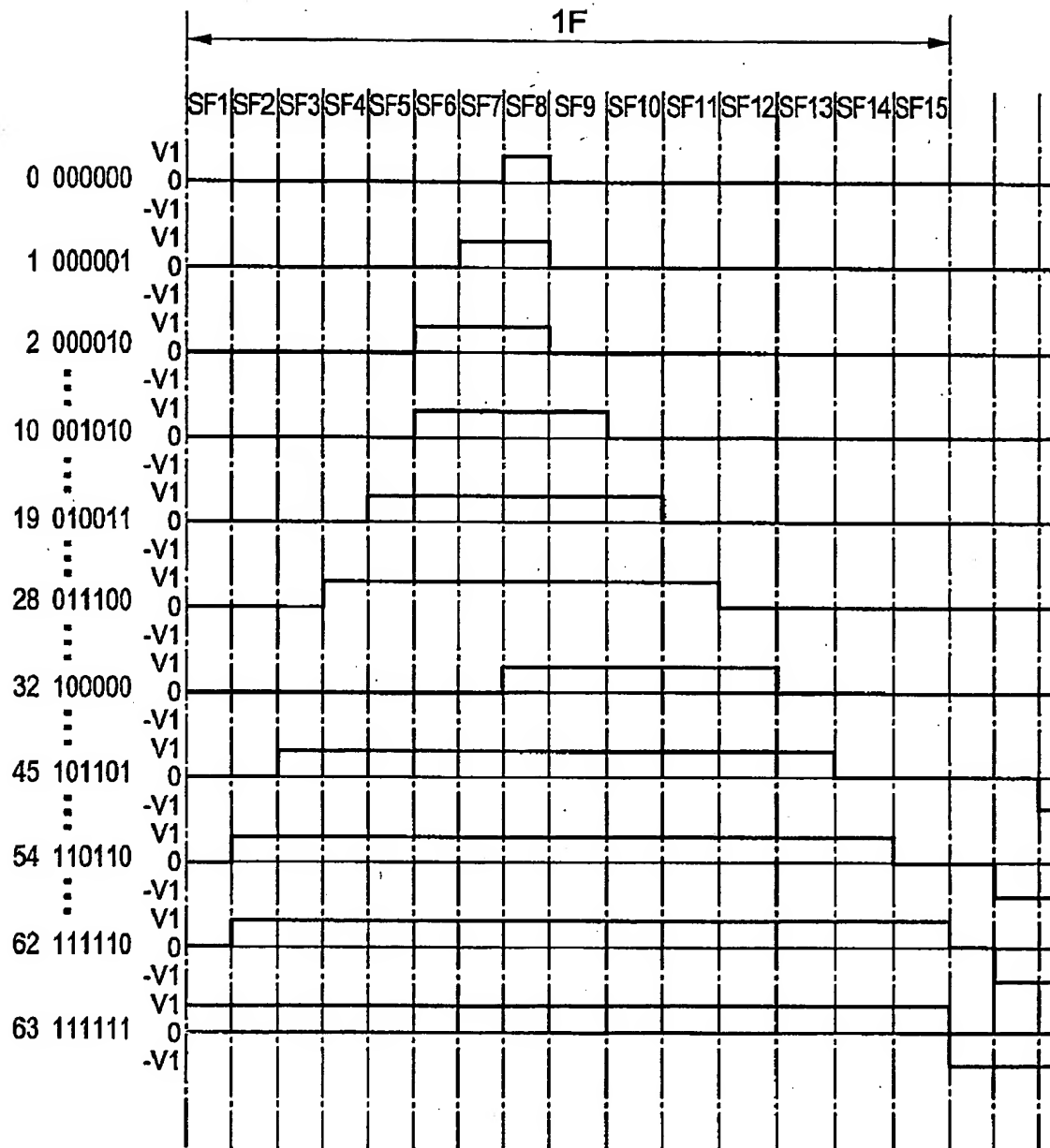
【図16】



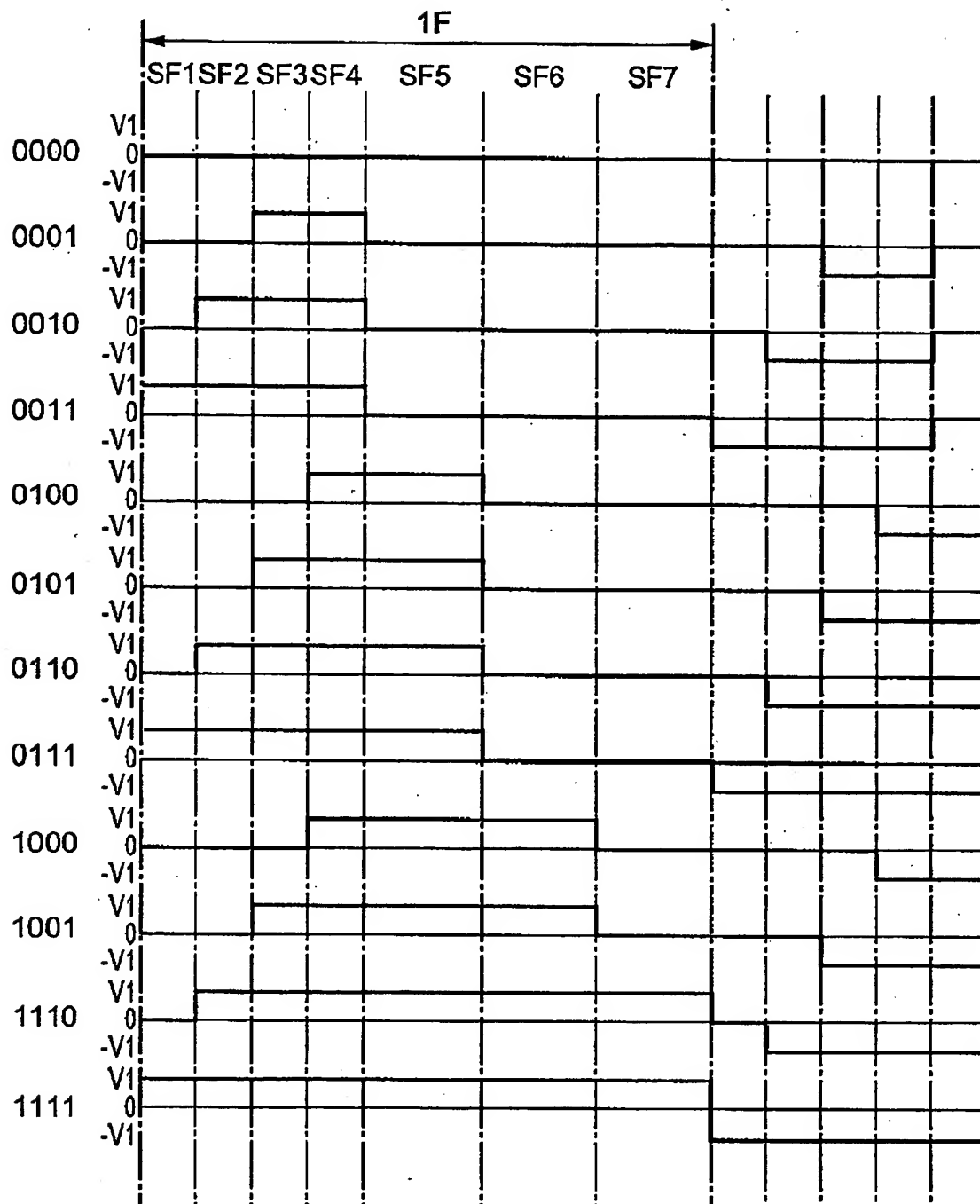
【図17】



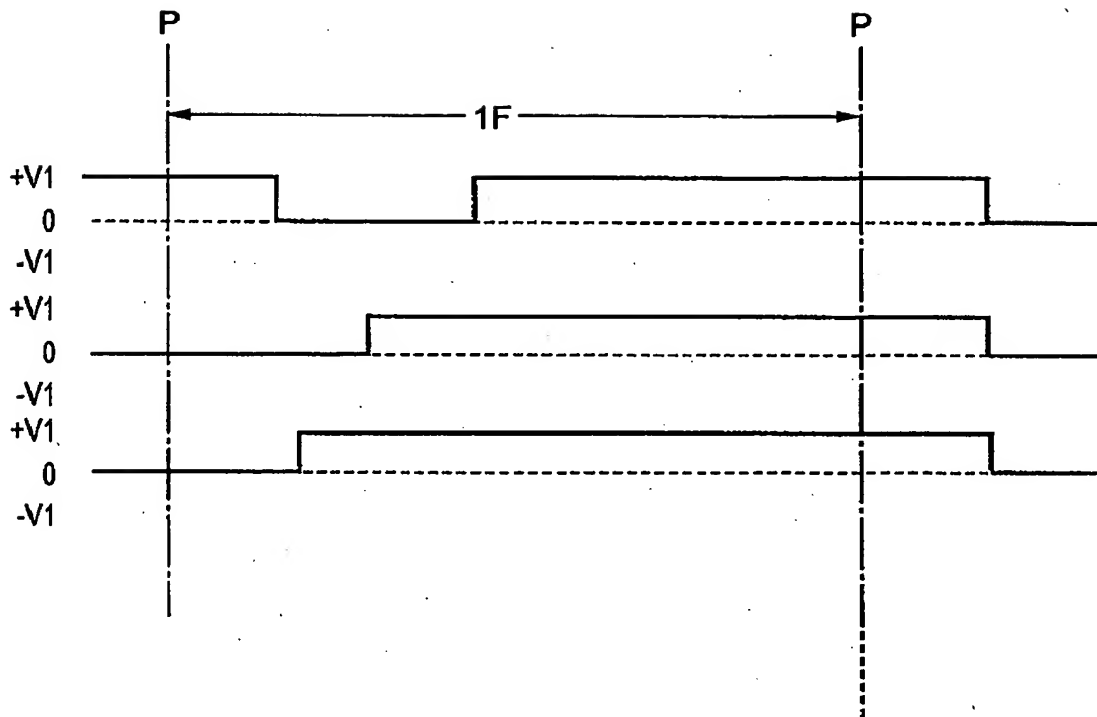
【図 18】



【図 19】

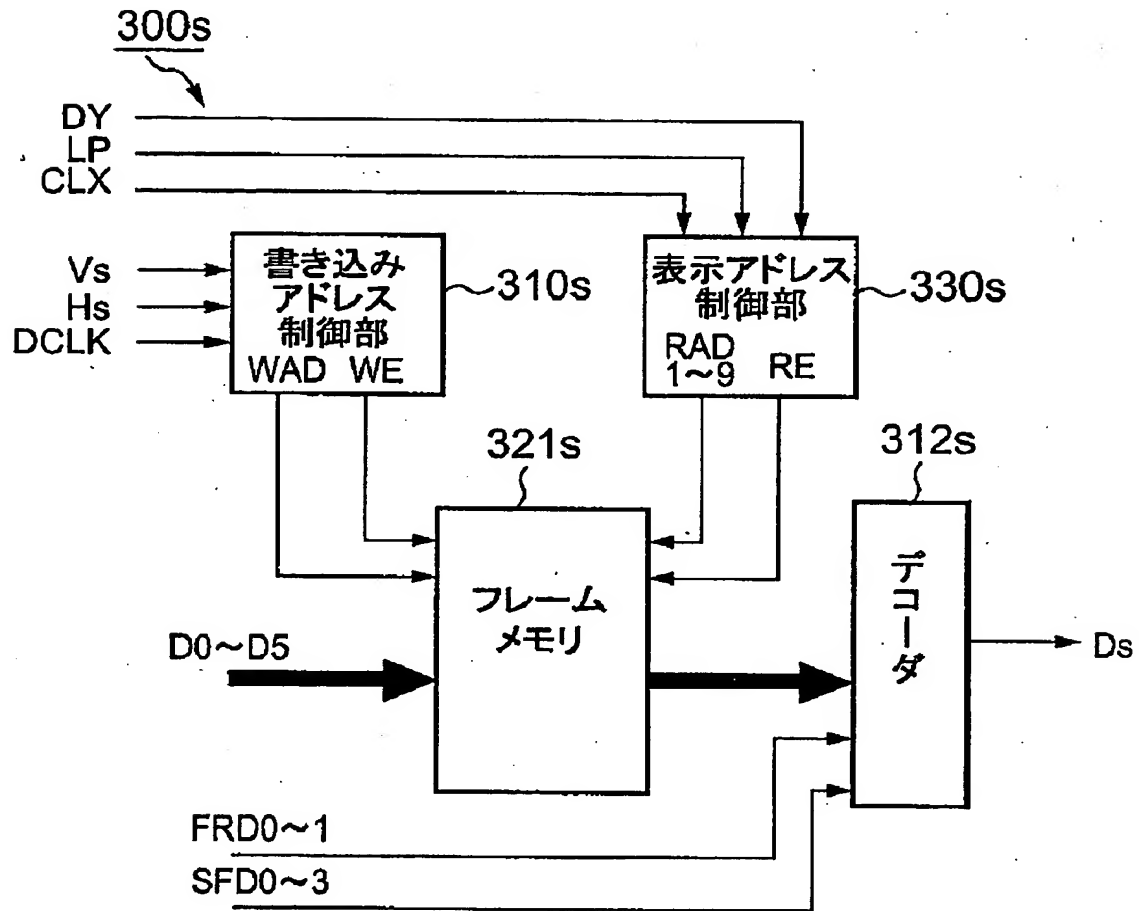


【図 20】



【図 21】

64階調 (3FRC) のデータ変換回路ブロック図

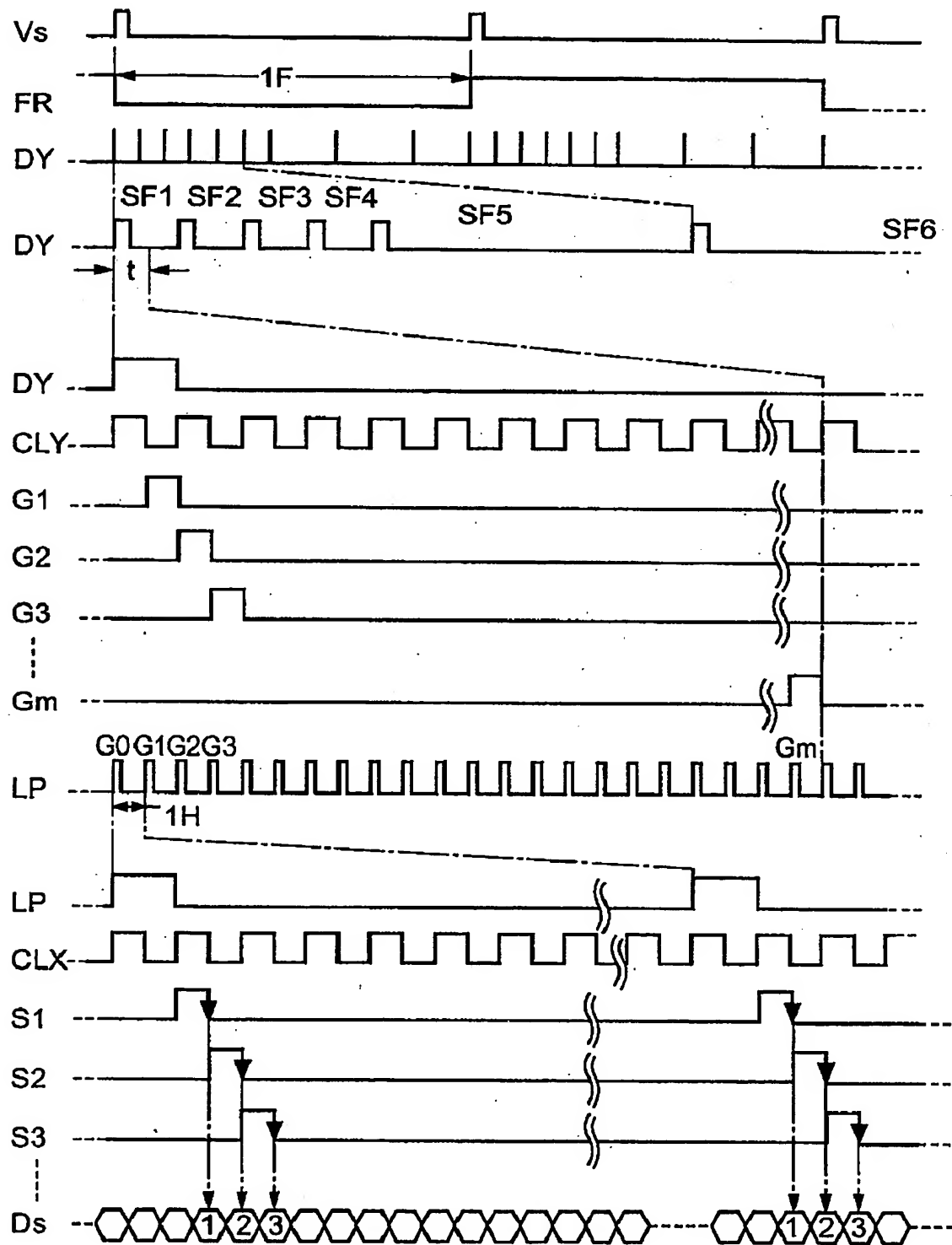


【図 2 2】

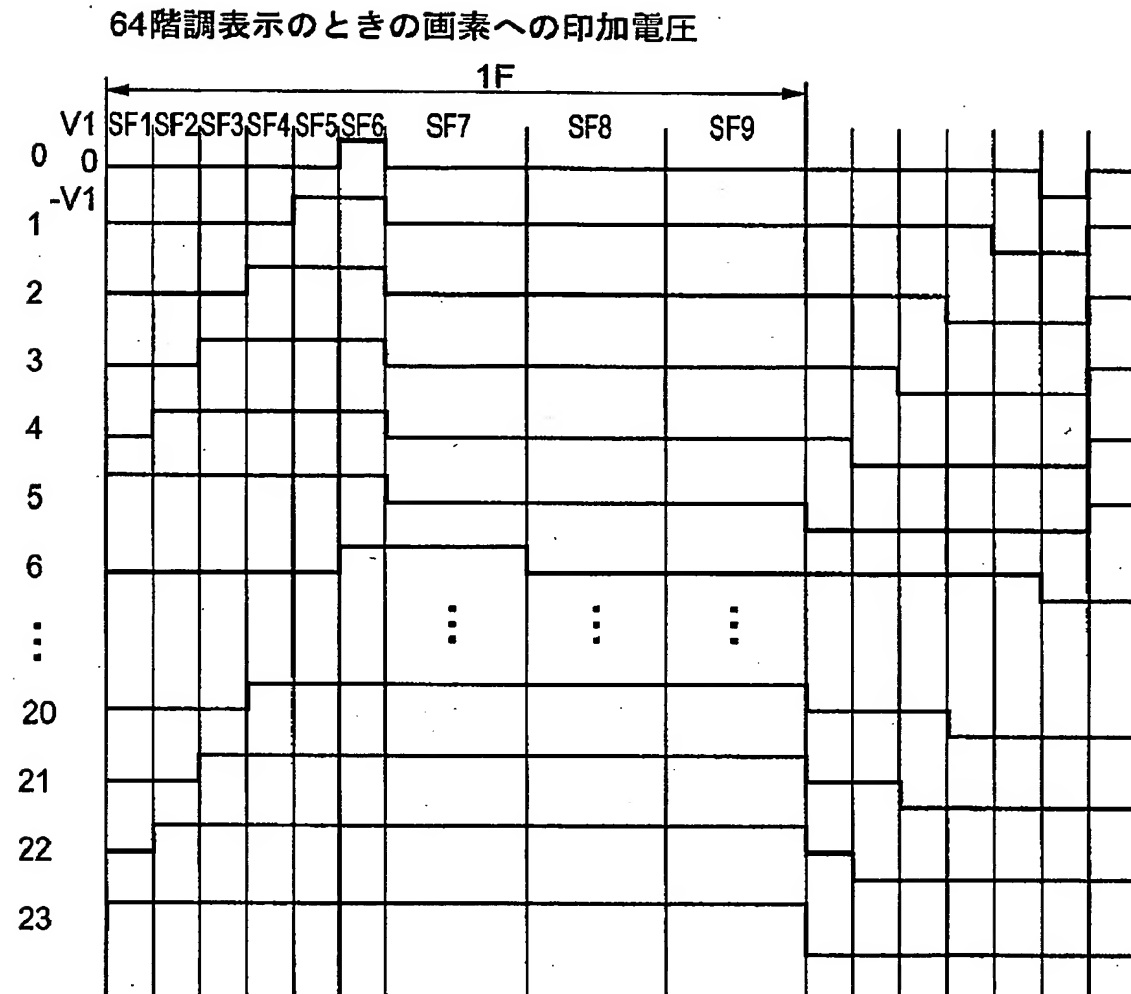
64階調 (3FRC) のデータ真理値表

データ	FR	Sf1	Sf2	Sf3	Sf4	Sf5	Sf6	Sf7	Sf8	Sf9	
000000	00	0	0	0	0	0	1	0	0	0	FR1
000000	01	0	0	0	0	0	1	0	0	0	FR2
000000	10	0	0	0	0	0	1	0	0	0	FR3
000001	00	0	0	0	0	1	1	0	0	0	FR1
000001	01	0	0	0	0	0	1	0	0	0	FR2
000001	10	0	0	0	0	0	1	0	0	0	FR3
000010	00	0	0	0	0	1	1	0	0	0	FR1
000010	01	0	0	0	0	1	1	0	0	0	FR2
000010	10	0	0	0	0	0	1	0	0	0	FR3
000011	00	0	0	0	0	1	1	0	0	0	FR1
000011	01	0	0	0	0	1	1	0	0	0	FR2
000011	10	0	0	0	0	1	1	0	0	0	FR3
000100	00	0	0	0	1	1	1	0	0	0	FR1
000100	01	0	0	0	0	1	1	0	0	0	FR2
000100	10	0	0	0	0	1	1	0	0	0	FR3
000101	00	0	0	0	1	1	1	0	0	0	FR1
000101	01	0	0	0	1	1	1	0	0	0	FR2
000101	10	0	0	0	0	1	1	0	0	0	FR3
111011	00	0	1	1	1	1	1	1	1	1	FR1
111011	01	0	1	1	1	1	1	1	1	1	FR2
111011	10	0	0	1	1	1	1	1	1	1	FR3
111100	00	0	1	1	1	1	1	1	1	1	FR1
111100	01	0	1	1	1	1	1	1	1	1	FR2
111100	10	0	1	1	1	1	1	1	1	1	FR3
111101	00	1	1	1	1	1	1	1	1	1	FR1
111101	01	0	1	1	1	1	1	1	1	1	FR2
111101	10	0	1	1	1	1	1	1	1	1	FR3
111110	00	1	1	1	1	1	1	1	1	1	FR1
111110	01	1	1	1	1	1	1	1	1	1	FR2
111110	10	0	1	1	1	1	1	1	1	1	FR3
111111	00	1	1	1	1	1	1	1	1	1	FR1
111111	01	1	1	1	1	1	1	1	1	1	FR2
111111	10	1	1	1	1	1	1	1	1	1	FR3

【図 23】



【図 2 4】



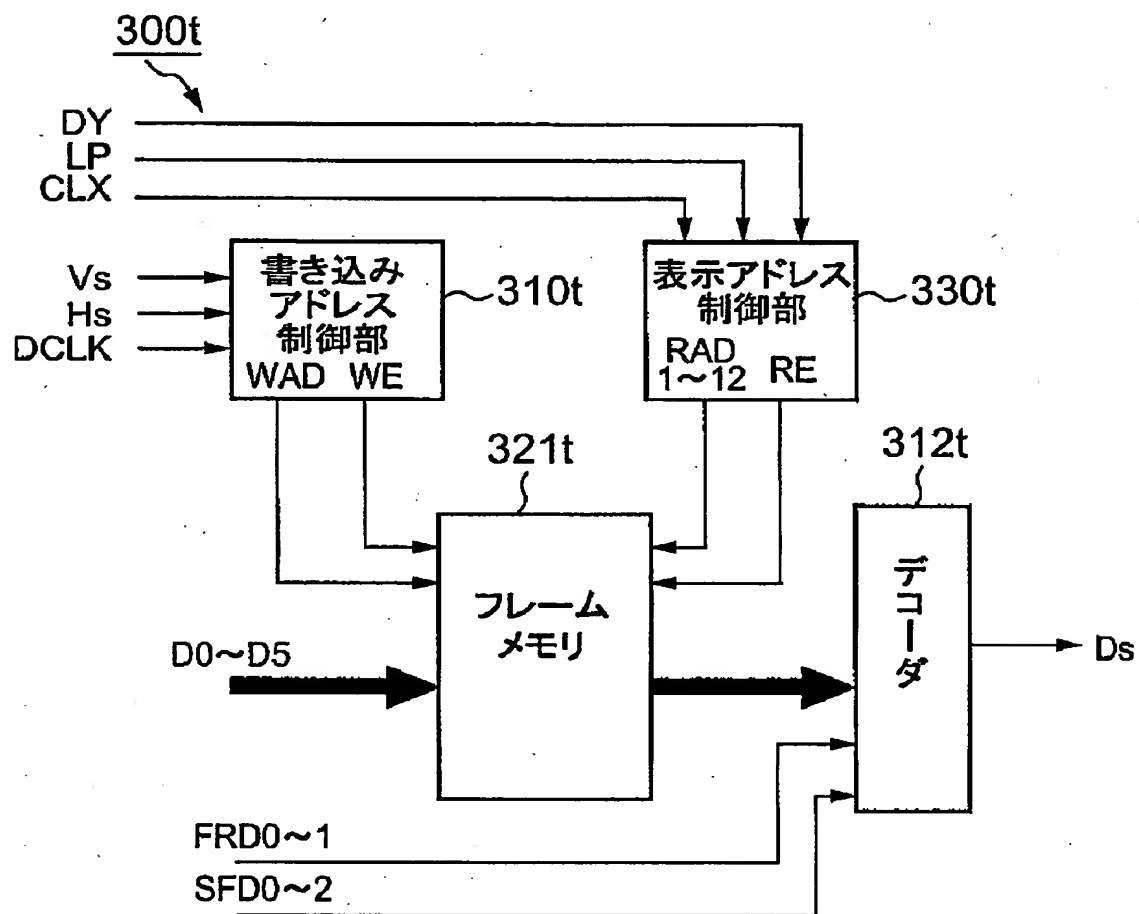
【図 25】

64階調 (3FRC)

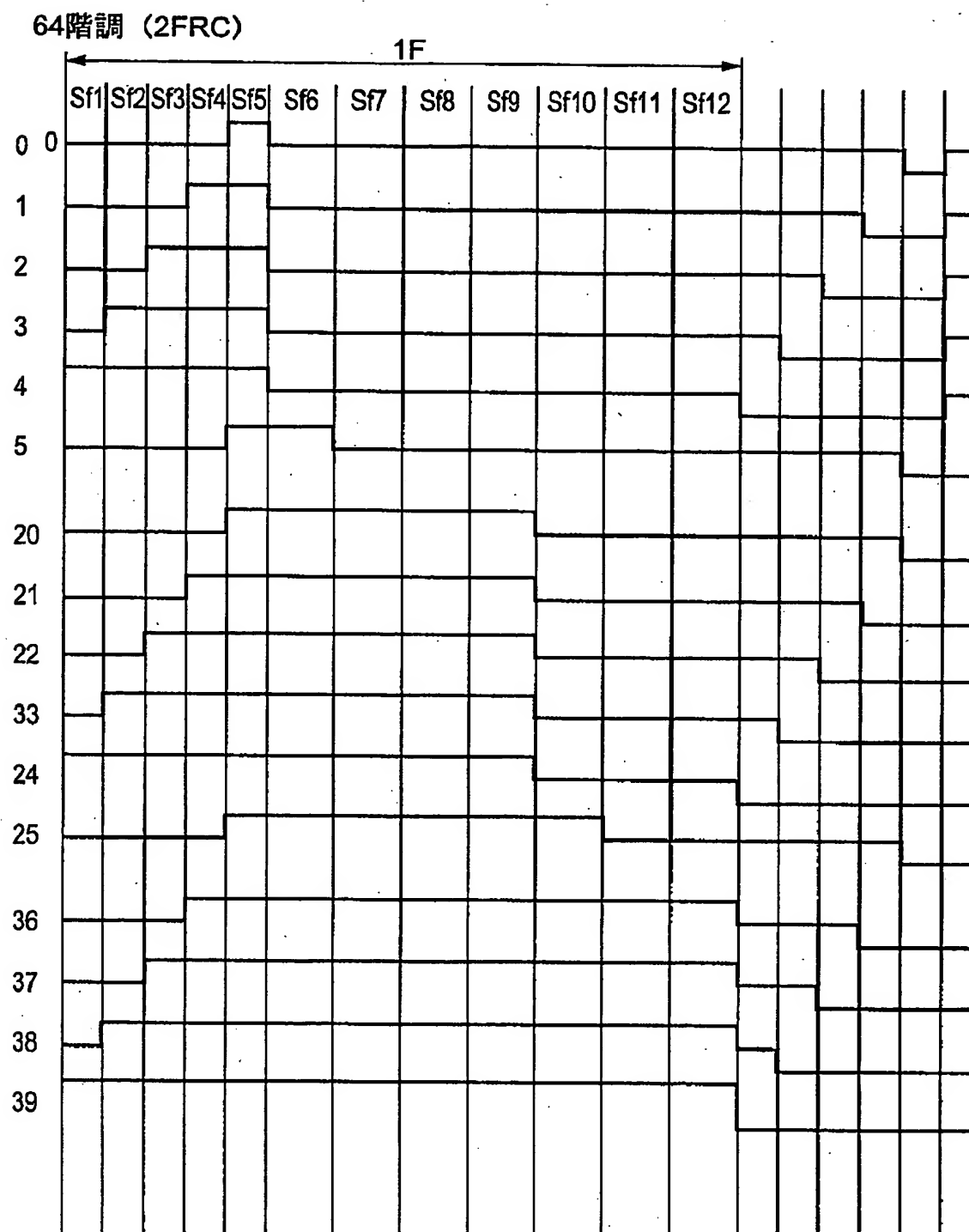
データ	FR1	FR2	FR3
000000	0	0	0
000001	1	0	0
000010	1	1	0
000011	1	1	1
000100	2	1	1
000101	2	2	1
000110	2	2	2
000111	3	2	2
010000	6	6	6
010001	7	6	6
010010	7	7	6
010011	7	7	7
100000	12	12	12
100001	13	12	12
100010	13	13	12
100011	13	13	13
111100	22	22	22
111101	23	22	22
111110	23	23	22
111111	23	23	23

【図 2 6】

64階調（FRC）のデータ変換回路ブロック図



【図 27】



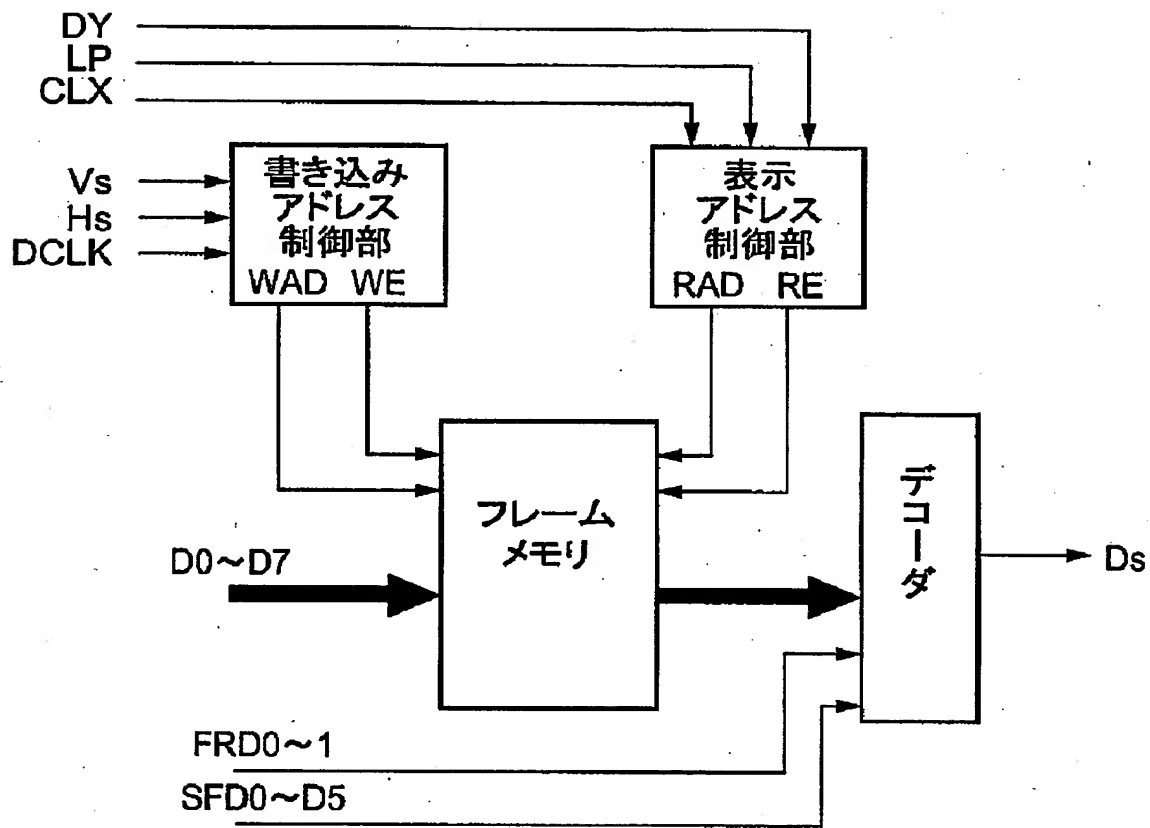
【図 28】

64階調 (2FRC)

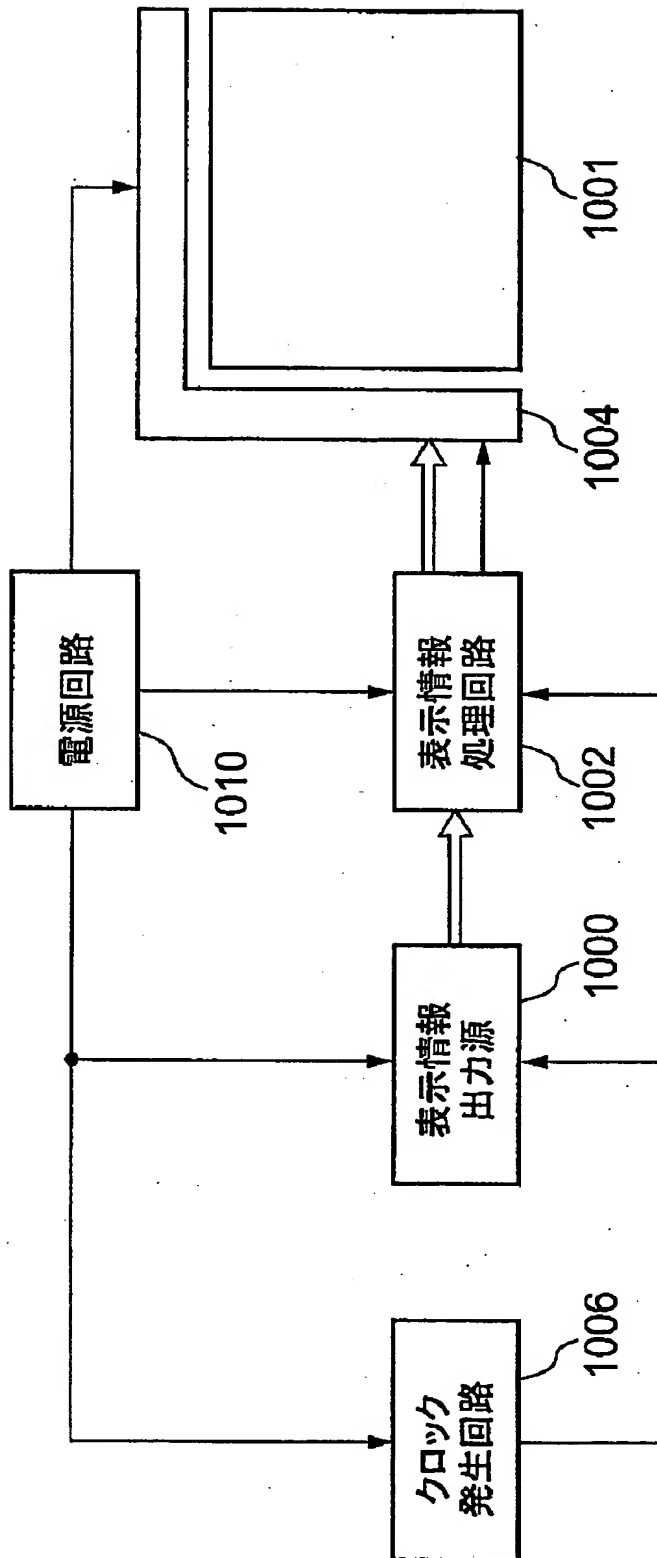
データ	FR1	FR2
000000	1	0
000001	1	1
000010	2	1
000011	2	2
000100	3	2
000101	3	3
000110	4	3
000111	4	4
001000	6	5
001001	6	6
010000	11	10
010001	11	11
010010	12	11
010011	12	12
100000	21	20
100001	21	21
100010	22	21
100011	22	22
111100	38	37
111101	38	38
111110	39	38
111111	39	39

【図 29】

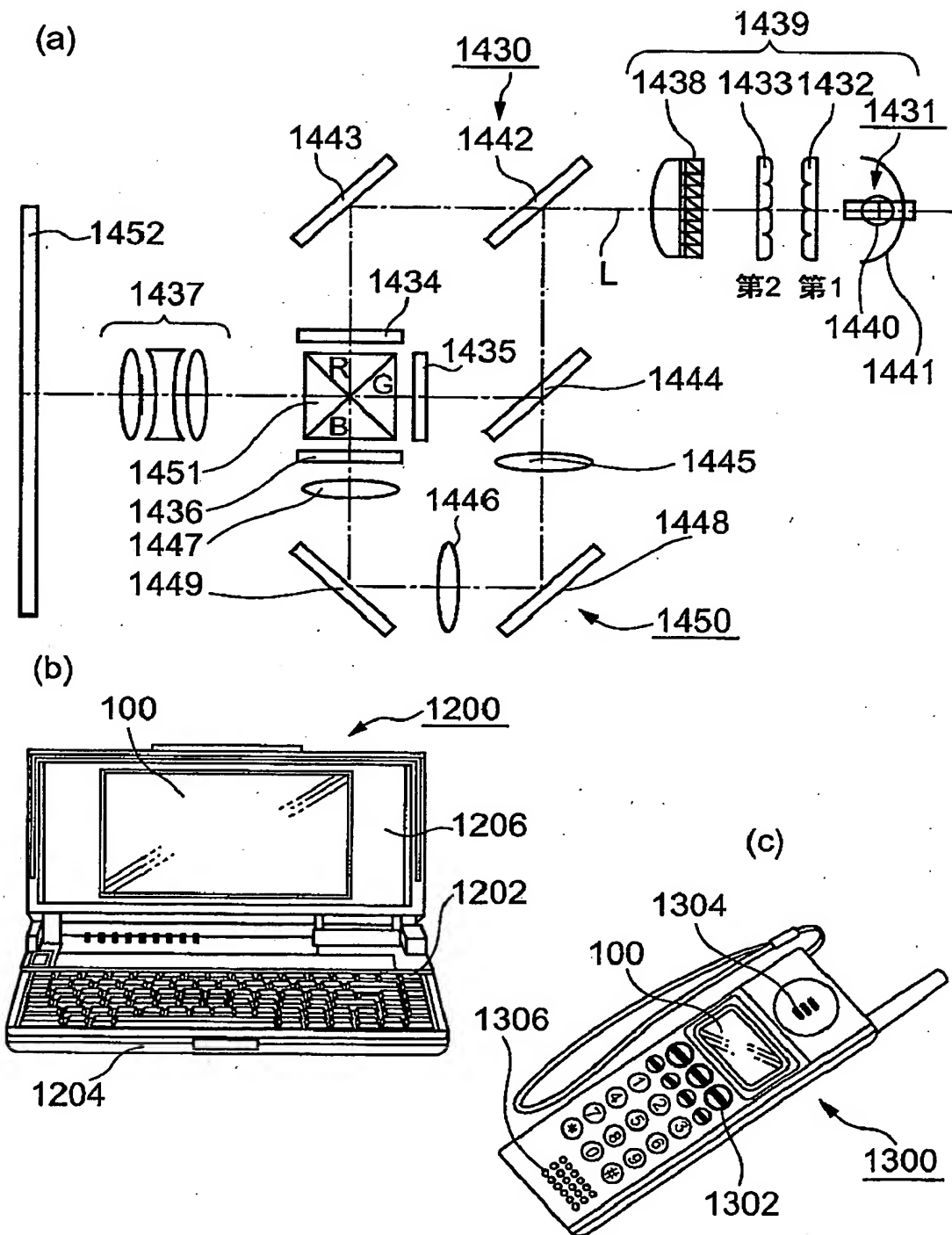
階調（FRC）のデータ変換回路ブロック図



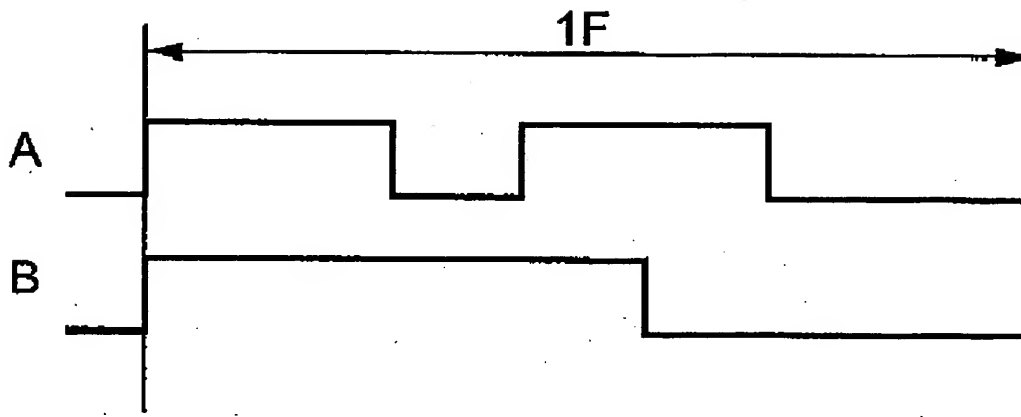
【図 30】



【図 31】



【図 3 2】



【書類名】 要約書

【要約】

【課題】 選択されるサブフィールド同士的位置関係の無規則性に起因して、異なる階調を表示する。

【解決手段】 本発明に係る画素の駆動方法は、相互に連続する複数の第 1 のサブフィールド期間、及び該複数の第 1 のサブフィールド期間に連続する、相互に連続する複数の第 2 のサブフィールド期間を、前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間の境界を基点に離れる方向に、階調データに従って順次選択する選択ステップと、選択された前記サブフィールド期間の間、前記画素をオンにする駆動ステップとを含む。

【選択図】 図 1 0

認定・付加情報

特許出願の番号	特願2001-294702
受付番号	50101419280
書類名	特許願
担当官	第二担当上席 0091
作成日	平成13年10月 1日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿2丁目4番1号
【氏名又は名称】	セイコーエプソン株式会社

【代理人】

申請人

【識別番号】	100095728
【住所又は居所】	長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社 知的財産部室内
【氏名又は名称】	上柳 雅誉

【選任した代理人】

【識別番号】	100107076
【住所又は居所】	長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社 知的財産室内
【氏名又は名称】	藤網 英吉

【選任した代理人】

【識別番号】	100107261
【住所又は居所】	長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社 知的財産部室内
【氏名又は名称】	須澤 修

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社